

Минобрнауки  
государственное образовательное учреждение высшего профессионального  
образования «Воронежский государственный университет»  
(ГОУ ВПО ВГУ)

**А.М. Бобрешов, А.Г. Кошелев, Г.С. Нахмансон**

## **ОСНОВЫ ЦИФРОВОЙ И ИМПУЛЬСНОЙ ЭЛЕКТРОНИКИ**

*Учебное пособие*

Воронеж  
Издательский дом ВГУ  
2020

УДК 621.374.037

ББК 32.883

Рецензенты:

доктор физ-мат. наук, профессор кафедры радиофизики

ФГБОУ «ВГУ» Ю.С. Радченко

доктор, физ-мат. наук, профессор кафедры электроники

ФГБОУ «ВГУ» Г.К. Усков

Бобрешов А.М., Кошелев А.Г., Нахмансон Г.С.

Основы цифровой и импульсной электроники: Учебное пособие / Бобрешов А.М.,

Кошелев А.Г., Нахмансон Г.С.; Воронежский государственный университет. – Воронеж:

Издательский дом ВГУ, 2020. – 235 с.

ISBN: 978-589533-235-1

В пособии изложены основные принципы действия, методы анализа и характеристики цифровых и импульсных устройств, используемых в радиоэлектронике, автоматике и вычислительной технике. Рассматриваются электрические цепи формирования, преобразования и передачи импульсных сигналов, цифровые логические элементы, триггеры, функциональные узлы комбинационного, параллельного и последовательного типов, цифро-аналоговые и аналого-цифровые функциональные устройства, мультивибраторы, а также основы построения импульсных устройств на современной элементной базе.

Анализируется современное состояние разработки трехуровневых логических устройств и узлов, необходимых для реализации и обработки информации в троичной системе исчисления.

Учебное пособие предназначено для студентов и аспирантов физических специальностей и может быть полезно для научных сотрудников и инженеров соответствующих профилей.

УДК 621.374.037

ББК 32.883

Учебное издание

**Бобрешов Анатолий Михайлович**

**Кошелев Александр Георгиевич**

**Нахмансон Геннадий Симонович**

*Учебное пособие*

Издано в авторской редакции

Подписано в печать

Издательский дом ВГУ

## СОДЕРЖАНИЕ

Введение.....	7
Часть 1. Основы цифровой электроники.....	9
Глава 1. Основы логического проектирования цифровых устройств.....	9
1.1 Классификация, обозначения и этапы проектирования элементов дискретной техники .....	9
1.2. Основные теоремы и положения алгебры логики. Принцип двойственности .....	17
1.3. Минимизация булевых функций .....	22
1.4. Минимизация булевых функций с помощью карт Карно.....	25
1.5. Особенности преобразования функций для реализаций на элементах И-НЕ, И, ИЛИ-НЕ.....	30
Глава 2. Синтез типовых узлов цифровых (дискретных) устройств.....	35
2.1. Триггеры.....	35
2.1.1. Триггер с установочными входами ( <i>RS</i> -триггер).....	37
2.1.2. Триггер задержки ( <i>D</i> -триггер) и триггер со счетным входом ( <i>T</i> -триггер) .....	47
2.1.3. Триггер со счетным входом ( <i>T</i> -триггер) .....	49
2.1.4. <i>JK</i> -триггер.....	50
3.1. Регистры.....	53
3.2. Счетчики импульсов.....	56
3.3. Дешифраторы.....	60
3.4. Шифраторы.....	64
3.5. Преобразователи кода.....	66
3.6. Мультиплексоры.....	67

3.7. Демультимплексоры.....	68
3.8. Устройства сравнения кодов.....	69
3.9. Полусумматоры.....	71
3.10. Сумматоры.....	72
Глава 4. Преобразование непрерывных величин в дискретные.....	74
4.1. Основы преобразования непрерывных величин в дискретные.....	74
4.2. Теорема Котельникова.....	75
4.3. Квантование по уровню.....	79
4.4. Цифро-аналоговые преобразователи (ЦАП).....	81
4.5. Аналого-цифровые преобразователи (АЦП).....	82
Глава 5. Микропроцессоры.....	85
5.1. Структура микропроцессора.....	85
5.2. Принципы управления и функционирования микропроцессора.....	88
5.3. Микро-ЭВМ на основе модели вычислителя.....	99
Часть 2. Основы импульсной электроники.....	108
Глава 6. Электронные схемы на операционных усилителях.....	108
6.1. Параметры и характеристики операционных усилителей.....	108
6.2. Решающая схема на операционном усилителе.....	112
6.3. Масштабный усилитель.....	115
6.4. Логарифмическая схема.....	116
6.5. Антилогарифмическая схема.....	117
Глава 7. Генераторы импульсных сигналов.....	119
7.1. Параметры импульсных сигналов.....	119
7,2. Мультивибраторы на логических элементах.....	123
7.3. Ждущие мультивибраторы на логических элементах.....	127
7.4. Мультивибраторы на операционных усилителях.....	128
7.5. Ждущий мультивибратор на операционном усилителе .....	130
7.6. Генераторы линейно-изменяющегося во времени напряжения.....	132
7.6.1. Параметры и принципы формирования линейно-изменяющегося напряжения.....	132

7.6.2. Схемы ГЛИН.....	135
7.6.3. Генераторы импульсов треугольной формы.....	139
Глава 8. Формирователи импульсных сигналов.....	140
8.1. Триггер Шмитта на операционном усилителе.....	140
8.2. Дифференцирующие цепи.....	142
8.3. Дифференцирующее устройство на операционном усилителе.....	144
8.4. Интегрирующие цепи.....	145
8.5. Интегратор на операционном усилителе.....	146
8.6. Ключевые диодные схемы.....	149
8.7. Компараторы.....	152
8.7.1. Компаратор на операционном усилителе.....	152
8.7.2. Компаратор с повышенной чувствительностью.....	155
Глава 9. Формирователи импульсов на логических элементах и управляемой линии задержки.....	158
9.1. Формирователи импульсов на логических элементах.....	158
9.2. Формирователи коротких импульсов на логических элементах...	159
9.3. Устройство задержки на логических элементах.....	160
9.4. Цифровая схема регулируемых задержек.....	161
9.5. Аналоговое устройство регулируемых задержек.....	162
Глава 10. Источники питания.....	164
10.1. Выпрямители.....	164
10.1.1. Выпрямители на диодах.....	164
10.1.2. Выпрямители на тиристорах.....	167
10.2. Сглаживающие фильтры.....	168
10.2.1. Емкостные фильтры.....	168
10.2.2. Г и П-образные фильтры.....	169
10.3. Умножители напряжения.....	171
10.4. Параметрические стабилизаторы напряжения и тока.....	173
10.4.1. Параметрические стабилизаторы напряжения.....	173
10.4.2. Параметрические стабилизаторы тока.....	175

10.5. Компенсационные стабилизаторы.....	176
10.5.1. Компенсационный стабилизатор напряжения.....	176
10.5.2. Компенсационные стабилизаторы тока.....	178
10.6. Импульсные стабилизаторы напряжения.....	179
10.6.1. Стабилизаторы с широтно-импульсной модуляцией.....	180
Часть 3. Логические элементы и цифровые устройства, использующие троичное счисление представление данных.....	182
Глава 11. Принципы формирования логических элементов и цифровых устройств .....	182
11.1. Сравнение двоичной и троичной логики.....	183
11.2. Цветовая кодировка троичных сигналов.....	187
11.3. Троичная запоминающая ячейка — триттер.....	197
11.4. Триттер на основе трехсегментного RGB ОМОСИД-устройства.....	199
Литература.....	203

## ВВЕДЕНИЕ

Предлагаемое учебное пособие соответствует программе курса «Основы цифровой и импульсной электроники», читаемого для студентов физических специальностей. В пособии основное внимание уделено вопросам формирования и функционирования цифровых и импульсных устройств на современной электронной базе с использованием операционных усилителей, интегральных ключей, компараторов, цифровых логических элементов и др.

Ограниченный объем пособия делает неизбежным компромисс между глубиной изложения и широтой охвата проблематики. Для преодоления данного противоречия в пособии проводится системный подход, при котором функциональная специфика рассматриваемых устройств, проводится на соответствующем уровне.

В настоящее время для увеличения скорости обработки цифровой информации, наряду с совершенствованием технологий, направленных на повышения быстродействия традиционной элементной базы цифровой техники, использующую двоичную систему счисления, интенсивно ведутся исследования по созданию логических элементов и цифровых устройств, использующих представления чисел в троичном счислении. Поэтому в учебном пособии приведен обзор основных достижений в разработке троичных логических элементов и цифровых устройств.

Учебное пособие содержит три раздела. В первом разделе изложены основы построения и функционирования цифровых логических элементов на современной элементной базе и цифровых устройств, выполненных на их основе: триггеров, регистров, счетчиков, шифраторов, дешифраторов, мультиплексоров и демультимплексоров и т.д.

Второй раздел посвящен рассмотрению импульсных устройств, выполненных на основе цифровых логических элементов и операционных усилителей: масштабных усилителей, логарифмических и антилогарифмических схем, генераторных, дифференцирующих и антидифференцирующих схем, компараторов, формирователей импульсов на логических элементах, а также источников питания.

В третьем разделе изложены доступные к настоящему времени результаты по реализации логических трехуровневых элементов и цифровых устройств, необходимых для реализации цифровой обработке сигналов в троичном исчислении. Изложена возможность применения метода кодировки цветов для реализации алгоритмов обработки на основе троичного исчисления. Обсуждаются возможности применения метода кодировки цветов для построения алгоритмов цифровой обработки, использующих троичное исчисление для представления данных, на базе объемных органических RGB диодов.



## Часть 1. Основы цифровой электроники

### Глава 1. Основы логического проектирования цифровых устройств

#### 1.1 Классификация, обозначения и этапы проектирования элементов дискретной техники

При всем многообразии задач, решаемых ЭВМ, функционирование ее происходит в двоичной системе счисления, оперирующей только с двумя цифрами: нуль (0) и единица (1), а математическом аппаратом, на основе которого проектируются и реализуются цифровые устройства, является *алгебра логики* (булева алгебра) [1, 2].

Поскольку предполагается, что читатель знаком с основами алгебры логики, в настоящей главе кратко изложены лишь те ее положения, которые используются в дальнейшем.

Как известно, предметом рассмотрения алгебры логики являются *высказывания* (утверждения), которые могут оказаться либо истинными, либо ложными. Следовательно, истинность высказывания может принимать, подобно цифрам в двоичной системе счисления, только два значения: «истинно» соответствует цифре 1 и «ложно» - цифре 0.

Простые высказывания, объединенные *логическими операциями* (связями), образуют сложное высказывание. Если простые обозначить буквами  $A, B, C, \dots$ , а сложное – буквой  $F$ , то логические операции можно записать математически. Напомним три основных типа логических операций.

*Логическое умножение* (операция И), или **к о н ъ ю к ц и я** (обозначается  $F=A \cdot B$  или  $F=A \wedge B$ , или еще проще  $F=AB$ , читается « $A$  и  $B$ »). Эта операция означает, что сложное высказывание истинно лишь тогда, когда истинны все (в данном случае два) простые высказывания. Представленная в виде таблицы, где показаны значения истинности  $F$  в зависимости от значений  $A$  и  $B$ , операция конъюнкции имеет вид

$A$	$B$	$F$
0	0	0
0	1	0
1	0	0
1	1	1

Логическое сложение (операция ИЛИ), или д и з ъ ю н к ц и я (обозначается  $F=A \vee B$ , читается «А или В»). Эта операция означает, что сложное высказывание истинно, если истинно хотя бы одно из простых высказываний, и тем более, если истинны оба высказывания:

$A$	$B$	$F$
0	0	0
0	1	1
1	0	1
1	1	1

Логическое отрицание (операция НЕ), или и н в е р с и я (обозначается  $F=\bar{A}$ , читается «не А»). Эта операция означает, что сложное высказывание истинно, если простое ложно, и наоборот:

$A$	$F$
0	1
1	0

В соответствии с тремя основными операциями алгебры логики в схемах цифровых устройств используются следующие логические элементы, входные переменные которых часто обозначают через  $x_i$ , а выходные через  $y$ :

- 1) элемент И (называемый также схемой логического умножения, конъюнктом, схемой совпадения), условно изображаемый, как показано на рис.1.1, а;

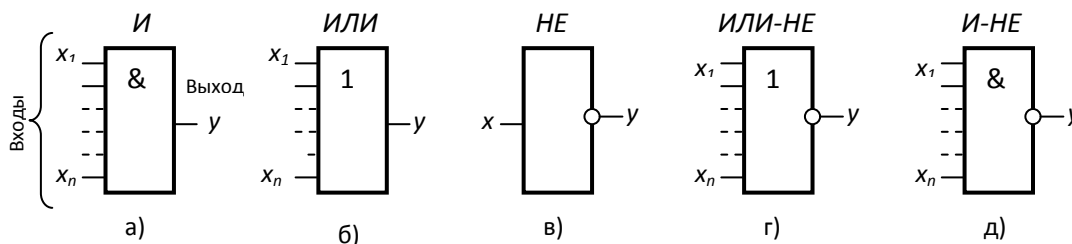


Рис. 1.1. Условные обозначения элементов цифровой техники

2) элемент ИЛИ (схема логического сложения, дизъюнктор, сборка), условно изображаемый, как на рис. 1.1, б;

3) элемент НЕ (схема логического отрицания, инвертор), условно изображаемый, как на рис. 1.1, в.

Этот набор элементов называют **основным базисом** или *основной функционально полной системой элементов*. Последнее означает, что с помощью этих элементов можно создать схему, осуществляющую любую сколь угодно сложную логическую операцию.

В интегральной схемотехнике особенно широко используют элементы других базисов: ИЛИ-НЕ (стрелка Пирса, обозначаемая  $A \downarrow B$ ) и И-НЕ (штрих Шеффера, обозначаемый  $A \uparrow B$ ). На схемах они обозначаются, как показано на рис. 1.1 г, д. соответственно. Заметим, что каждый из этих двух элементов представляет собой функционально полную систему элементов.

По виду кодирования двоичных цифр электрическими сигналами на входе и выходе элементы дискретной техники делятся на **потенциальные** и **импульсные**.

В *потенциальных* элементах *нулю* и *единице* соответствуют два резко отличающихся уровня напряжения, называемые **высоким** и **низким** уровнями. При этом, напряжения могут быть как положительными, так и отрицательными относительно корпуса, электрический потенциал которого принимается равным нулю вольт.

Различают элементы, работающие в положительной (позитивной) и отрицательной (негативной) логике.

В положительной логике за логическую *единицу* принят *высокий* уровень напряжения (например, + 2,5 В при положительной полярности уровня напряжений или – 0,5 В при отрицательной полярности уровня напряжения, как показано в левой части таблицы 1), а за логический *нуль* – *низкий* уровень (т.е. +0,5 В при положительной или -2,5 В при отрицательной полярности уровня напряжения).

Таблица 1.1

Полярность уровней напряжения	Вид логики	
	Положительная	Отрицательная
Положительная		
Отрицательная		

В отрицательной логике кодирование логических 1 и 0 противоположное (оно обозначено в правой части табл. 1.1).

В *импульсных* элементах в одном варианте логической *единице* соответствует наличие импульса напряжения (рис. 1.2, а, б), причем он может быть как положительным, так и отрицательным, а *нулю* – отсутствие импульса (рис. 1.2, а) или значительно меньший по значению импульс, называемый «помехой» нуля, как показано на рис. 1.2, б. В другом варианте *единице* соответствует положительный, а *нулю* – отрицательный импульс (рис. 1.2, в).

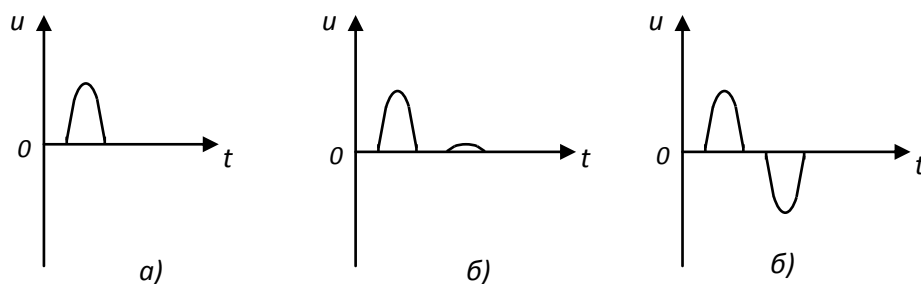


Рис. 1.2. Виды импульсного кодирования цифровой (двоичной) информации

Используются также комбинированные импульсно-потенциальные элементы, в которых одна часть сигналов кодируется различными уровнями напряжения, а другая – импульсами.

В полупроводниковых схемах применяют потенциальные и импульсно-потенциальные элементы, а в магнитных – импульсные.

Информация, поступающая в то или иное цифровое устройство, представляет дискретный (т.е. состоящий из нулей и единиц) сигнал (код). На передачу сигнала отводится конечный отрезок времени, называемый тактом работы устройства. За один такт, в случае последовательного кода, передается один из разрядов двоичного числа, а в случае параллельного кода – всё двоичное число одновременно.

В общем случае на вход цифрового устройства поступает множество двоичных переменных  $X(x_1, x_2, \dots, x_n)$ , а с выхода снимается множество двоичных переменных  $Y(y_1, y_2, \dots, y_n)$ . При этом устройство осуществляет (реализует) определенную связь (логическую функцию) между входными и выходными переменными.

Цифровые устройства делят на комбинационные и последовательностные [1, 3, 4].

В комбинационных значения  $Y$  в течение каждого такта определяются значения  $X$  только в этот же такт. Такие устройства состоят из логических элементов. В последовательностных значения  $Y$  определяется значениями  $X$  как в течение рассматриваемого

такта, так и существующими в *ряде предыдущих тактов*. Для этого в последовательностных устройствах кроме логических должны быть еще и *запоминающие* элементы. При этом память устройства может охватывать не бесконечно большое, а лишь *конечное* число тактов. Поэтому цифровые (дискретные) устройства с памятью называют *конечными автоматами*, которыми являются все ЭВМ.

Подобно входным и выходным переменным, переменные, сохраняемые в памяти устройства, тоже двоичные и зависят от значений входных переменных в предыдущих тактах.

Булевой (логической или переключательной) функцией называют двоичную переменную, значения которой зависят от значений других двоичных переменных. Поэтому любое дискретное устройство и составляющие его элементы и узлы осуществляют ту или иную булеву функцию.

Известно, что булеву функцию можно задать тремя способами: *содержательно* (путем словесного описания), *таблично* и *алгебраически*.

Таблицы, показывающие связь между входными и выходными переменными *комбинационных* устройств, называют таблицами истинности, а алгебраическая форма этих связей представляет систему алгебраических функций (рис. 1.3):

$$\begin{aligned}
 y_1 &= y_1(x_1, x_2, \dots, x_n), \\
 y_2 &= y_2(x_1, x_2, \dots, x_n), \\
 &\dots\dots\dots, \\
 y_s &= y_s(x_1, x_2, \dots, x_n).
 \end{aligned}$$

В последовательностных устройствах выходные переменные  $y_i$  зависят не только от входных сигналов  $x_k$ , но и от сигналов элементов памяти, поступающих в этот же такт. При анализе и синтезе последовательностные устройства делят комбинационную часть и элементы памяти, называемые также *цепями обратной связи* в соответствии со стрелками, указывающими протекание сигналов (рис. 1.3,б).

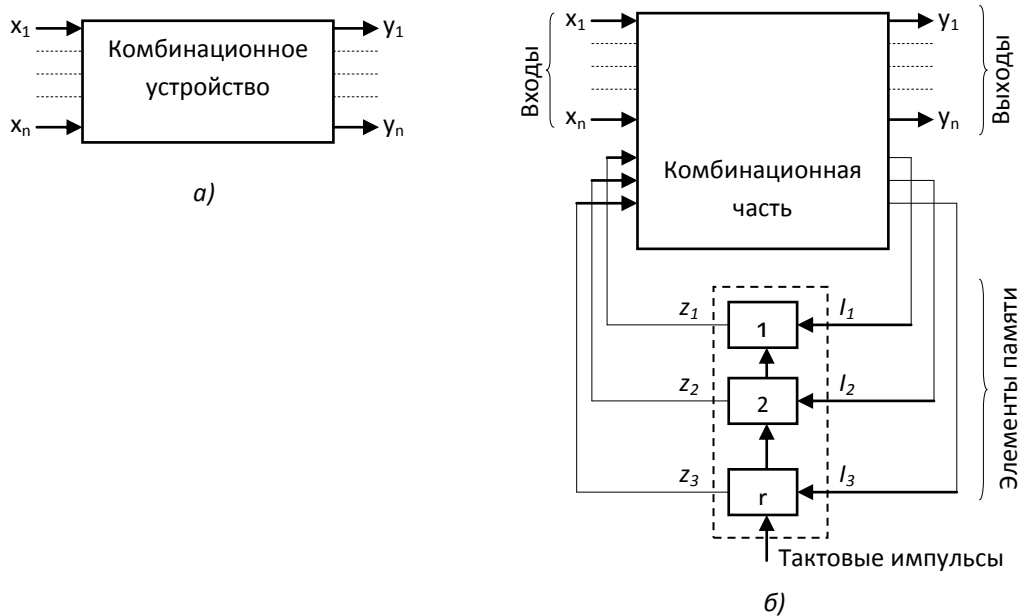


Рис. 1.3. Структура комбинационного (а) и последовательного (б) дискретных устройств

Обозначим  $t$  и  $(t+1)$  следующих друг за другом такта работы автоматов. Состояние элементов памяти в  $(t+1)$ -й такт определяется множествами как входных сигналов, так и сигналов на входах элементов памяти в предыдущий такт  $t$ , т.е.

$$Z_j^{t+1} = \varphi_j(x_1, x_2, \dots, x_n, I_1, I_2, \dots, I_r)^t.$$

Это выражение называют *функцией переходов*.

Выходные же сигналы могут формироваться двояко. В *автоматах Мили* они являются функцией как входных сигналов, так и сигналов элементов памяти в *этом же такте*, т.е.

$$y_i^{t+1} = f_i(x_1, x_2, \dots, x_n, z_1, z_2, \dots, z_r)^{t+1}.$$

Это выражение называется *функцией выхода автомата Мили*.

В *автоматах же Мура* они являются функциями только сигналов элементов памяти в *этом же такте*, т.е.

$$y_i^{t+1} = f_i(z_1, z_2, \dots, z_r)^{t+1}.$$

Это выражение называется *функцией выхода автомата Мура*.

Существуют правила перехода от одного вида автоматов к другому.

Функции переходов и выходов *последовательностных* устройств могут выражаться т а б л и ц а м и п е р е х о д о в и в ы х о д о в, или объединенными т а б л и ц а м и с о с т о я н и й.

Реальные элементы (электрические, магнитные и т.п.) всегда инерционны. Таблицы и алгебраические функции соответствуют статическим (установившимся) режимам. В динамической (переходной) части такта, связь между переменными может оказаться отличающейся от режима статики. Это явление называют п е р е х о д н ы м с о с т я з а н и е м («гонками» в автоматах) и его надо учитывать при синтезе конкретных элементов и устройств.

Цифровые устройства можно разделить на асинхронные и синхронные. В а с и н х р о н н ы х устройствах изменение входных сигналов сразу влечет за собой соответствующие изменения выходных сигналов; в с и н х р о н н ы х изменение выходных сигналов, соответствующее новому сочетанию входных, происходит только после подачи синхронизирующих (т а к т о в ы х) импульсов, управляющих работой автомата.

К о м б и н а ц и о н н ы е части автоматов являются асинхронными. Значит, на их выходе могут проявляться «гонки», которые могут привести к *сбоям* (ошибкам), т.е. к ошибочным сигналам  $I_i$  в такт  $t$  и ошибочным состояниям элементов памяти, а следовательно к выдаче ошибочных сигналов  $z_i$  в такт  $(t+1)$ . В асинхронных автоматах (т.е. автоматах с асинхронными элементами памяти) такая опасность существует.

В синхронных же автоматах элементы памяти управляются внешними тактовыми импульсами (см. рис. 1.3, б), а значит, переход элементов памяти из состояния  $t$  в состояние  $(t+1)$  и выдача сигналов  $z_i$  происходят после затухания переходных процессов в момент подачи (или окончания) тактового импульса. Поэтому опасности сбоев из-за гонок нет.

Логическое проектирование (синтез) цифрового устройства состоит из двух этапов – абстрактного и структурного синтеза.



Задача, которую должно решать устройство, обычно задается содержательно (словами). На этапе *абстрактного синтеза* осуществляют переход от содержательного описания задачи к к формализованному в виде таблиц или формул булевых функций.

Однако, как правило, булева функция, полученная из таблиц, содержит лишние сочетания переменных. Поэтому автомат, выполняющий операцию в соответствии с такой булевой функцией, оказывается громоздким. Чтобы упростить его схему, необходимо упростить (минимизировать) булеву функцию, положенную в основу его работы.

На этапе *структурного синтеза* минимизированную булеву функцию реализуют, т.е. выбирают тип элементов и создают схему их электрических соединений между собой так, чтобы устройство решало поставленную задачу.

## 1.2. Основные теоремы и положения алгебры логики

### Принцип двойственности.

Запишем правила выполнения операций ИЛИ и И, расположив строчки И в обратном (снизу вверх) порядке:

<u>ИЛИ</u>	<u>И</u>
$0 \vee 0 = 0$	$1 \wedge 1 = 1$
$0 \vee 1 = 1$	$1 \wedge 0 = 0$
$1 \vee 0 = 1$	$0 \wedge 1 = 0$
$1 \vee 1 = 1$	$0 \wedge 0 = 0$

Сравним построчно операции ИЛИ и И (первую строку ИЛИ с первой И, вторую ИЛИ со второй И и т.д.). Нетрудно видеть, что если заменить в строках ИЛИ и И все 0 на 1, все 1 на 0 и знаки дизъюнкции на знаки конъюнкции, то правила меняются местами: строка ИЛИ превращается в строку И и наоборот.

В этом состоит принцип двойственности, который в общем виде записывается так:

$$\overline{A \vee B} = \bar{A} \cdot \bar{B}.$$

Для преобразования формул алгебры логики с целью их минимизации используются, как и в обычной алгебре, скобки, а если их нет, то сначала выполняется отрицание (инверсия) над отдельными переменными, затем логическое умножение (конъюнкция) и наконец логическое сложение (дизъюнкция). Однако, если черта (знак инверсии) стоит над совокупностью букв и знаков, то она выполняется в последнюю очередь.

В процессе преобразования формул используются также теоремы алгебры логики.

*Теоремы для одной переменной* (легко проверяемые подстановкой  $A=1$  и  $A=0$ ):

1. $A \vee 0 = A.$	4. $A \vee \bar{A}.$	7. $A \cdot A = A.$
2. $A \vee 1 = 1.$	5. $A \cdot 0 = 0.$	8. $A \cdot \bar{A} = 0.$
3. $A \vee A.$	6. $A \cdot 1 = A.$	9. $\overline{\bar{A}} = A.$

Заметим, что эти теоремы (как и последующие) остаются справедливыми и для случая, если под  $A$  понимать не только одно переменное, но и целое выражение.

*Теоремы для двух или более переменных:*

10. а)  $A \vee B = B \vee A$ , б)  $AB = BA$  - переместительный закон, означающий, что выходной сигнал в логических элементах не зависит от того, к какому из входов элемента подведен тот или иной сигнал.

11. *Сочетательный закон:*

$$\begin{aligned} \text{а) } A \vee B \vee C &= A \vee (B \vee C) = (A \vee B) \vee C, \\ \text{б) } ABC &= A(BC) = (AB)C \end{aligned}$$

12. *Распределительный закон:*

$$\begin{aligned} \text{а) } A(B \vee C) &= AB \vee AC, \\ \text{б) } A \vee BC &= (A \vee B)(A \vee C). \end{aligned}$$

Если теоремы 10, 11 очевидны и совпадают с правилами обычной алгебры, то очевидность второй теоремы 12 (как и ряда следующих теорем) следует из принципа двойственности.

В самом деле, заменив в 12, а) все переменные их отрицаниями, а знаки конъюнкции и дизъюнкции друг на друга, получим:  $\bar{A} \vee \bar{B} \bar{C} = (\bar{A} \vee \bar{B})(\bar{A} \vee \bar{C})$ .

Введем новые обозначения:  $\bar{A} = D; \bar{B} = E$  и  $\bar{C} = G$ . Получим  $D \vee EG = (D \vee E)(D \vee E)(D \vee G)$ , а это и есть теорема 12, б).

13. а)  $A \vee AB = A$ , б)  $A(A \vee B) = A$  - закон поглощения (читается «А поглощает В»). Доказательство 13, а):  $A \vee AB = A(1 \vee B) = A \cdot 1 = A$  (используя теоремы 2 и б), а теорема 13, б) следует из принципа двойственности.

14. а)  $(A \vee \bar{B})B = AB$ , б)  $A\bar{B} \vee B = A \vee B$ . Доказательство 14, а):  $(A \vee \bar{B})B = AB \vee \bar{B}B = AB \vee 0 = AB$  (используя теоремы 8 и 1), а теорема 14, б) следует из принципа двойственности.

15. а)  $AB \vee \bar{A}B = B$ , б)  $(A \vee B)(\bar{A} \vee B) = B$  - закон склеивания (читается «склеивание по А»). Доказательство 15, а):  $AB \vee \bar{A}B = B(A \vee \bar{A}) = B \cdot 1 = B$  (используя теоремы 4 и б), теорема 15, б) следует из принципа двойственности.

16. а)  $\overline{A \vee B} = \bar{A} \bar{B}$ , б)  $\overline{AB} = \bar{A} \bar{B}$  или при любом числе переменных, в)  $\overline{A \vee B \vee C \vee \dots} = \bar{A} \cdot \bar{B} \cdot \bar{C} \dots$ , г)  $\overline{ABC \dots} = \bar{A} \vee \bar{B} \vee \bar{C} \vee \dots$  - теорема де Моргана, представляющая наиболее общую формулировку принципа двойственности и удобно запоминаемую в формулировке: «Отрицание дизъюнкции (конъюнкции) переменных равно конъюнкции (дизъюнкции) их отрицаний».

**Булевы функции.** Значение булевой функции (F), как результат выполнения логических операций над двоичными переменными – аргументами (A, B, C, ...), зависит от значений аргументов. **З а д а т ь б у л е в у ф у н к ц и ю** – значит указать значения, которые принимает функция (т.е. 0 или 1) при *всех* возможных аргументов.

Каждую конкретную комбинацию аргументов называют **набором**. Для краткости набор записывают в виде двоичного числа, цифрами которого являются значения аргументов. При  $n$  аргументах существует  $p=2^n$  наборов.

Если известно, какие значения принимает функция на всех наборах аргументов, то ее называют полностью определенной. Если же на некоторых наборах значение функции не известно, то она называется **недоопределенной** или не полностью (частично) определенной, а комбинации аргументов для которых функция не определена, - **запрещенными наборами**.

Значения функции на запрещенных наборах можно задать по своему усмотрению (*доопределить* функцию). Этот прием используется для минимизации функций.

Поясним сказанное примером. Содержательно задана функция: «Функция трех аргументов принимает значение 1, если два любых аргумента (или все три) равны 1. Во всех других случаях функция равна нулю». Эта функция может быть названа «голосованием по большинству».

Количество наборов трех аргументов (A, B, и C) равно  $2^3=8$ . Они нумеруются от 0 до  $2^3-1$ , т.е. до 7. Заполнив табл.1.2 в соответствии с содержательным заданием, получим табличное представление функции  $F$ , являющейся полностью определенной функцией.

Рассмотрим теперь другую функцию, содержательно заданную так: «Функция трех аргументов принимает значение 1, если два любых аргумента равны 1, и равна 0 в остальных случаях, кроме случаев однозначности всех трех аргументов». Эта функция (обозначенная  $F'$ ) не определена на нулевом и седьмом наборах, где все три аргумента однозначны (т.е. равны либо нулю, либо единице), поэтому в табл.1.2 против этих наборов проставлены прочерки. Функция  $F'$  – недоопределенная, а наборы первый и седьмой – запрещенные.

Таблица 1.2

Номера наборов	$A$	$B$	$C$	$F$	$F'$	$F''$
0	0	0	0	0	-	0
1	0	0	1	0	0	0
2	0	1	0	0	0	0
3	0	1	1	1	1	0
4	1	0	0	0	0	0
5	1	0	1	1	1	0
6	1	1	0	1	1	0
7	1	1	1	1	-	1

Конституентой единицы называют функцию  $n$  аргументов, которая принимает значение, равное единице, только на одном наборе аргументов. На всех остальных наборах она равна нулю. Например, функция единогласия – «функция трех аргументов равна единице лишь при равных единице всех аргументах; в остальных случаях она равна нулю» - является конституентой единицы; она обозначена  $F''$  в табл. 1.2.

Конституентой нуля называют функцию  $n$  аргументов, которая принимает значение, равное нулю только на одном наборе аргументов.

От табличного представления функции легко перейти к ее алгебраическому представлению, причем одну и ту же функцию можно представить в двух формах.

Совершенной дизъюнктивной нормальной формой (Сов ДНФ) функции называют дизъюнкцию конституент единицы, равных единице на тех же наборах, что и заданная функция. Эту форму называют также первой стандартной формой.

Переход от таблицы к СовДНФ осуществляют так: для каждого набора, на котором функция равна единице, записывают элементарное произведение всех аргументов, причем если аргумент в этом наборе имеет значение 0, то пишут его отрицание. Затем производят логическое сложение этих элементарных произведений. Эту процедуру называют составлением структурной формулы по единицам.

Для функции  $F$  (см. табл.1.2) СовДНФ имеет вид

$$F(A,B,C) = \bar{A}BC \vee A\bar{B}C \vee AB\bar{C} \vee ABC \quad (1.1)$$

Форма, равная конъюнкции конститuent нуля, которые равны нулю на тех же наборах, что и заданная функция, называется с о в е р ш е н н о й к о н ъ ю к т и в н о й нормальной формой (СовКНФ). Эту форму называют также второй стандартной формой.

Переход от таблицы к СовКНФ осуществляют так: Для каждого набора, на котором функция равна нулю, составляют элементарную логическую сумму (дизъюнкцию) всех аргументов, причем если аргумент в этом наборе принимает значение 1, то пишут его отрицание. Затем эти элементарные объединяют операцией логического умножения. Эту процедуру называют составлением структурной формулы по нулям. Для функции  $F$  (см. табл. 1.2) СовКНФ имеет вид

$$F(A,B,C) = (A \vee B \vee C) (A \vee B \vee \bar{C}) (A \vee \bar{B} \vee C) (\bar{A} \vee B \vee C).$$

Путем алгебраических преобразований можно перейти от одной формы к другой. Для минимизации функций более удобна первая форма, т.е. СовДНФ.

### 1.3. Минимизация булевых функций

Минимизация (упрощение) булевых функций производится с помощью теорем 1-16 алгебры логики. Наиболее эффективными приемами минимизации являются вынесение за скобки общих членов, а также применение двойного отрицания, теоремы де Моргана, законов поглощения и склеивания. При этом наряду с полным склеиванием (теорема 15) часто применяют неполное склеивание, при котором оба члена, участвовавших в склеивании (или один из них), остаются и могут склеиваться с другими членами СовДНФ (неполное склеивание можно рассматривать как сочетание теоремы 15 с теоремой 3).

Так, используя неполное склеивания четвертой конъюнкты в (1.1) последовательно с первой, второй и третьей (т.е. сохраняя ее после склеивания), можно привести (1.1) к виду

$$\begin{aligned} F(A, B, C) &= (\bar{A}BC) \vee ABC \vee A\bar{B}C \vee AB\bar{C} = \\ &= BC \vee (A\bar{B}C \vee ABC) \vee AB\bar{C} = BC \vee AC \vee (A\bar{B}C \vee ABC) = \\ &= BC \vee AC \vee AB. \end{aligned} \quad (1.2)$$

В процессе минимизации используют понятие смежных конъюнкты, которыми называют конъюнкты, отличающиеся только одним аргументом (в одну конъюнкту аргумент входит с инверсией, а в другую – без нее).

Две смежные конъюнкты, склеиваясь, образуют результирующую конъюнкцию с числом аргументов, на единицу меньшим, чем в исходных конъюнктах, так как в ней отсутствует аргумент, которым отличаются смежные, исходные конъюнкты. Эту результирующую конъюнкцию называют импликантой.

Количество аргументов в конъюнкте или импликанте называют рангом. При склеивании ранг результирующей конъюнкции, т.е. импликанты уменьшается на единицу. Так, последнее выражение в (1.2) состоит из трех импликант второго ранга.

Импликанты с одинаковым числом аргументов могут оказаться смежными, и их можно склеить между собой. Так, четыре конъюнкты четвертого ранга

$$A\bar{B}\bar{C}\bar{D} \vee A\bar{B}C\bar{D} \vee A\bar{B}\bar{C}D \vee A\bar{B}CD = A\bar{B}\bar{C} \vee A\bar{B}C, \quad (1.3)$$

Склеиваясь первая со второй и третья с четвертой, образуют две импликанты третьего ранга, которые могут быть склеены по А:

$$A\bar{B}\bar{C} = \bar{A}B\bar{C} = B\bar{C}, \quad (1.4)$$

Образуя импликанту второго ранга.

Говорят, что импликанта покрывает все конституенты, в результате склеивания которых она получена. Так, импликанта  $B\bar{C}$  (в 1.4) покрывает все четыре конституенты в (1.3).

Процесс многоступенчатого склеивания приводит к импликантам, которые не склеиваются с другими членами. Такие импликанты называют простыми.

Простые импликанты с конституентами, не имевшими смежных до склеивания, образуют сокращенную дизъюнктивную нормальную форму (Сокр ДНФ) функции.

Однако в некоторых случаях в ней могут содержаться лишние импликанты, которые могут быть исключены без изменения значения функции. ДНФ, не содержащая лишних импликант, называется тупиковой ДНФ. Некоторые функции могут иметь несколько тупиковых форм. Тупиковая функция, содержащая наименьшее количество букв-аргументов, называется минимальной ДНФ.

Использование рассмотренных приемов для нахождения минимальной формы функции требует определенной интуиции и применимо лишь при достаточно простых функциях небольшого числа аргументов. В более сложных случаях (например, при четырех и более аргументах) процесс минимизации целесообразнее алгоритмизировать и использовать ЭВМ.

Алгоритмизировать нахождение СокрДНФ позволяет теорема Квайна: *если в совершенной дизъюнктивной нормальной форме функции провести сначала все возможные операции неполного склеивания и затем все возможные операции поглощения, то в результате получится сокращенная дизъюнктивная нормальная форма функции.*

Минимизацию по Квайну надо начинать с совершенной ДНФ. Если функция задана в произвольной форме, производят разветвление, умножая член, не содержащий какого либо аргумента, на логическую единицу (теорема 4) и получая два члена, содержащие весь набор аргументов.



Одним из методов отыскания лишних импликант является метод испытания членов: чтобы испытать некоторый член функции, следует исключить его из СокрДНФ и подставить в оставшееся выражение такие значения аргументов, которые обращают исключенный член в единицу. Если при такой подстановке оставшееся выражение окажется тождественно равным единице, то испытываемый член окажется лишним.

Рассмотрим два примера СокрДНФ  $F(A,B,C) = AC \vee \bar{B}C \vee \bar{A}\bar{B}$ . Испытаем член  $AC$ , обращенный в 1 при  $A=1$  и  $C=1$ . Подставив в оставшееся выражение

$F(A,B,C) = \bar{B}C \vee \bar{A}\bar{B}$  значения  $A=1$  и  $C=1$ , получим  $F(A,B,C) = \bar{B} \cdot 1 \vee 0 \cdot B$ . При  $B=0$  последнее выражение равно 1 ( $F = 1 \cdot 1 \vee 0 \cdot 1 = 1$ ), но при  $B=1$  оно не равно 1 ( $F = 0 \cdot 1 \vee 0 \cdot 0 = 0$ ). Следовательно, член  $AC$  не является лишним и его исключить нельзя.

Испытаем член  $\bar{B}C$ , обращаемый в 1 при  $B=0$  и  $C=1$ . Подставив в оставшееся выражение  $F(A,B,C) = AC \vee \bar{A}\bar{B}$  значения  $B=0$  и  $C=1$ , получим  $F(A,B,C) = A \cdot 1 \vee \bar{A} \cdot 1$ . Последнее выражение равно 1 как при  $A=1$  ( $1 \cdot 1 \vee 0 \cdot 1 = 1$ ), так как и при  $A=0$  ( $0 \cdot 1 \vee 1 \cdot 1 = 1$ ). Значит, член  $\bar{B}C$  можно опустить и тупиковая форма примет вид  $F(A,B,C) = AC \vee \bar{A}\bar{B}$ , являющийся минимальной формой рассматриваемой функции.

#### 1.4. Минимизация булевых функций с помощью карт Карно

Нахождение смежных конституент и импликант облегчается применением карт Карно.

Карта Карно – это прямоугольник, разбитый на квадраты, число которых равно числу наборов рассматриваемой функции, т.е.  $2^n$ . Каждая клетка соответствует одному набору. Клетки размечают так, чтобы наборы, для которых возможны смежные конституенты, оказались бы в соседних клетках. Например, для двух аргументах  $A$  и  $B$  четыре клетки размечены, как

показано на рис.4,а, простановкой вдоль двух сторон карты Карно значений  $A, \bar{A}, B$  и  $\bar{B}$ .

При такой разметке клетки соответствуют номерам наборов, в них представленных.

При заполнении карты Карно в клетки проставляют значения функции для соответствующих наборов. Например, для таблично заданной функции (рис. 1.4, б) карта Карно примет вид, показанный на рис. 1.4, в. При этом для обозначения клеток карты Карно достаточно указать только клетки, соответствующие наборам, в которых аргумент имеет значение единицы, т.е. только  $A$  и  $B$ , подразумевая, что ряд или столбец соседних клеток соответствует наборам, в которых аргумент равен нулю (т.е. клетки с  $\bar{A}$  и  $\bar{B}$ ).

Единицы, проставленные в клетки, обозначают конститутенты единицы рассматриваемой функции. Отыскание минимальной ее формы сводится к определению варианта, при котором все конститутенты единицы накрываются наименьшим числом наиболее коротких импликант.



Рис.1.4. Карты Карно для функции двух аргументов

В примере на рис.1.4, в пара единиц верхней строки накрывается (т.е.охватывается овалом) импликантой  $\bar{A}$  (т.е. обе клетки имеют общий аргумент  $\bar{A}$  и отличаются лишь значением аргумента  $B$ : для правой клетки аргумент  $B$ , а для левой -  $\bar{B}$ ). Пара единиц правого столбца накрывается импликантой  $B$ , как общей для обеих клеток. Следовательно, минимальная ДНФ функции  $F(A, B) = \bar{A} \vee B$ .

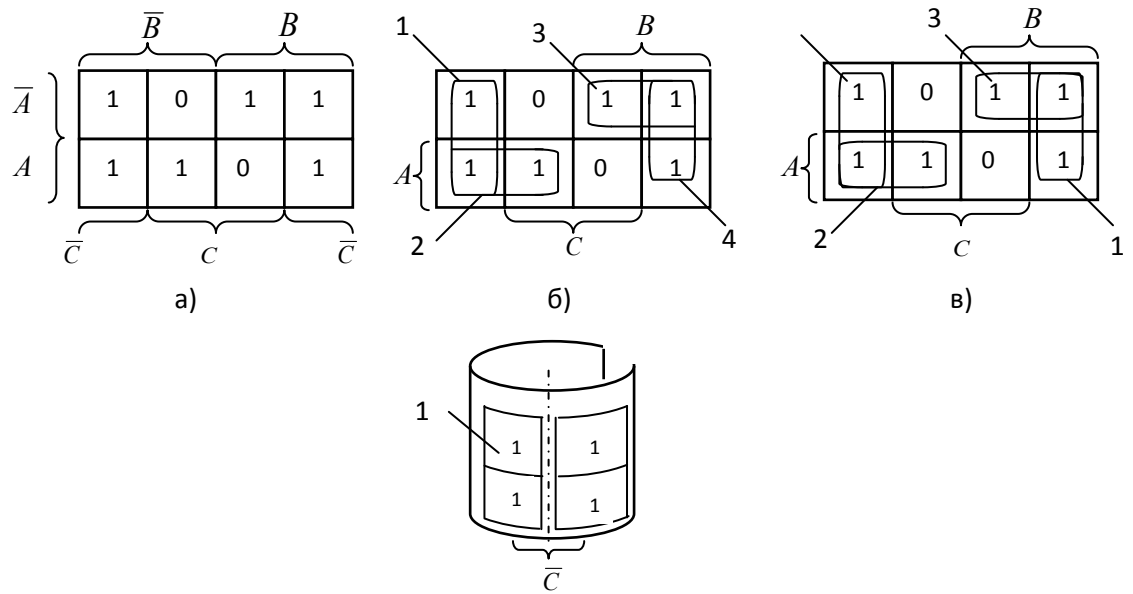


Рис.1.5. Карты Карно для функции двух аргументов

Карту Карно удобно использовать и для минимизации функций, заданных в алгебраической форме. Поясним это на примере функции трех аргументов, СовДНФ которой имеет вид

$$F(A, B, C) = ABC\bar{C} \vee \bar{A}B\bar{C} \vee \bar{A}BC \vee A\bar{B}C \vee A\bar{B}\bar{C} \vee \bar{A}B\bar{C}. \quad (1.5)$$

Карта Карно, состоящая из  $2^3=8$  клеток, может быть размечена, как на рис.1.5, а. Шесть конституент единицы, соответствующих шести слагаемым функции (1.5), размещены в клетках карты Карно согласно значениям (прямым или инверсным) букв-аргументов, входящих в конституенты. В оставшиеся клетки проставлены нули.

Можно накрыть единицы импликантами (овалами, охватывающими по две смежные единицы), как показано на рис.1.5, б. Такой минимизации соответствует выражение

$$F(A, B, C) = \bar{B}\bar{C} \vee A\bar{B} \vee \bar{A}B \vee B\bar{C}, \quad (1.6)$$

где импликанты соответствуют:  $\bar{B}\bar{C}$  овалу 1;  $A\bar{B}$  – 2;  $\bar{A}B$  – 3;  $B\bar{C}$  – 4.

Если свернуть карту в цилиндр, как показано на рис.1.5, г, то видно, что четыре единицы, расположенные в углах карты Карно, накрываются

импликантой  $\bar{C}$ , которой соответствует квадрат, охватывающий эти четыре единицы. Такой минимизации соответствует выражение

$$F(A, B, C) = \bar{C} \vee \bar{A}B \vee A\bar{B}, \quad (1.7)$$

где импликанты  $\bar{C}$  соответствует квадрат 1, а импликантам  $\bar{A}B$  и  $A\bar{B}$  - овалы 2 и 3 (рис.1.5, в).

Аналогичным образом карту Карно для четырех аргументов (рис. 1.6, а) можно мысленно свертывать в цилиндр, как относительно вертикальной (рис.1.6, б), так и относительно горизонтальной оси (рис. 1.6, в), что помогает увидеть наиболее короткие импликанты.

При минимизации функций четырех аргументов можно использовать следующие правила.

1. Если единицами заполнены две соседние строки или два соседних столбца (учитывая цилиндрические карты), то восемь конституент накрываются импликантой первого ранга, равной единственному аргументу, который является для них общим (рис.1.6, г, д).
2. Если единицами заполнены одна строка, один столбец или квадрат из четырех клеток (учитывая и "цилиндричность» карты), то четыре конституенты накрываются импликантой второго ранга из двух общих для них аргументов.
3. Если единицы расположены в двух соседних клетках (с учетом «цилиндричности» карты), то две конституенты накрываются импликантой третьего ранга из трех общих для обеих клеток аргументов.

В некоторых случаях более удобной может оказаться минимальная форма функции, полученная при группировании нулей. Проиллюстрируем это примером.

Пусть карта Карно некоторой функции выглядит, как показано на рис.1.7, а. Используем сначала метод группирования единиц. Первое правило применить не удастся. Второе правило применимо трижды: к третьему

столбцу, квадрату с учетом цилиндричности и к верхнему квадрату. Минимальная ДНФ имеет вид

$$F = AB \vee \bar{B}C. \quad (1.8)$$

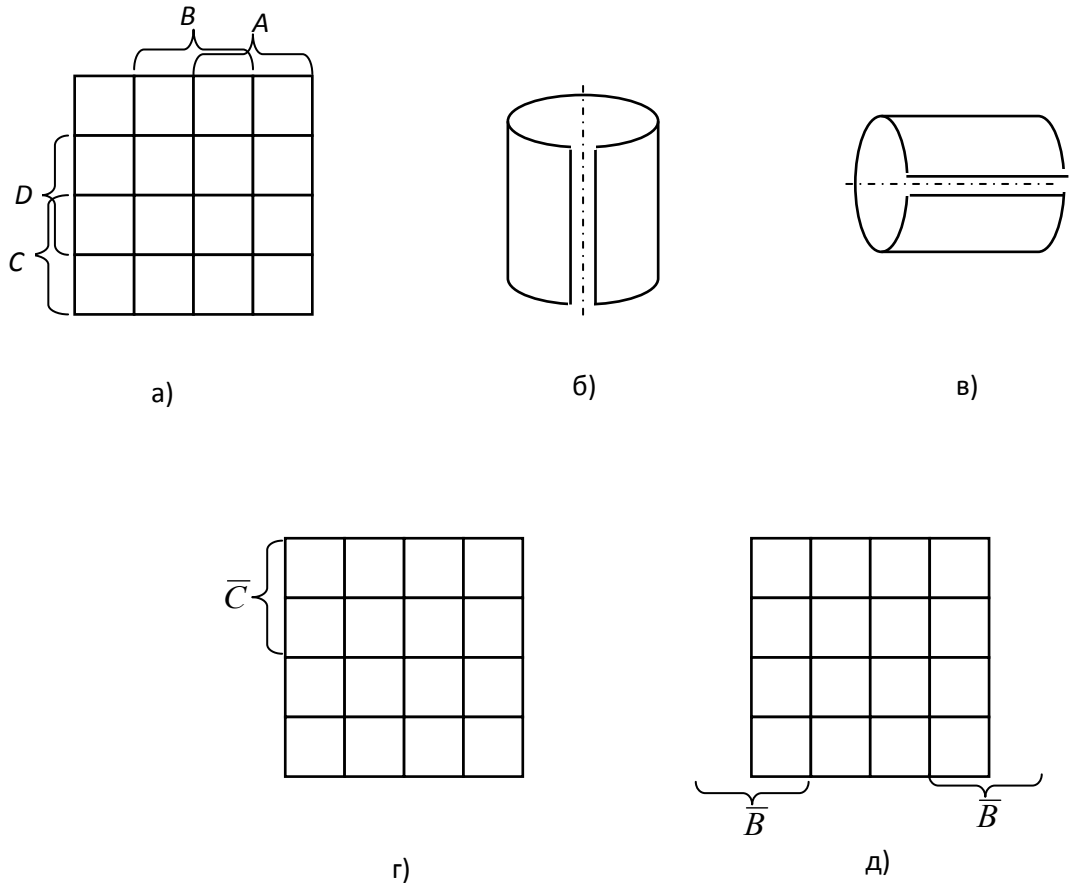


Рис.1.6. Карты Карно для функции четырех аргументов

Применим к этой же функции метод группирования нулей (рис.1.7, б). Первое правило применить не удастся. Второе применимо к квадрату, образованному четырьмя угловыми клетками (учитывая одновременно и вертикальную и горизонтальную цилиндричность карты). Третье правило применимо к двум нулям внизу второго столбца. Следовательно, минимальная форма для отрицания функции имеют вид

$$\bar{F} = \bar{B}\bar{D} \vee \bar{A}BC.$$

Взяв отрицание от  $\bar{F}$  и применив трижды теорему де Моргана, получим для двойного отрицания (т.е. для  $F$ ) минимальную форму в виде

$$F = \overline{\overline{F}} = \overline{\overline{BD} \vee \overline{ABC}} = (B \vee D)(A \vee \overline{B} \vee \overline{C}). \quad (1.9)$$

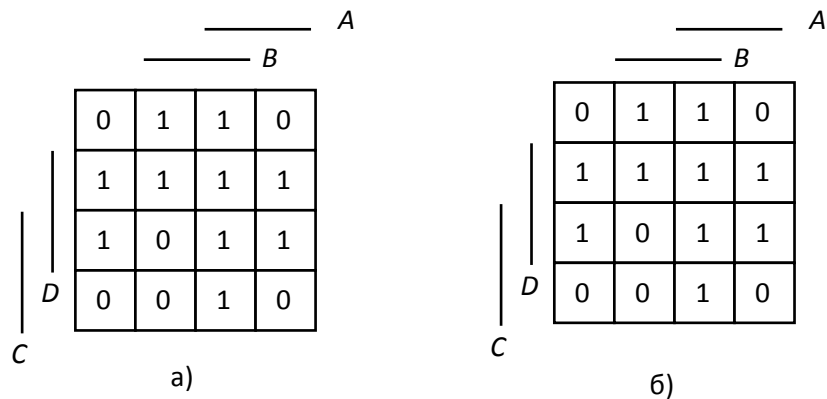


Рис.1.7. Минимизация функции группированием единиц (а) и нулей (б)

Выражение (1.9) и (1.8) для функции  $F$  равносильны и для ее реализации можно использовать любое из них.

### 1.5. Особенности преобразования функций для реализаций на элементах И-НЕ, И, ИЛИ-НЕ

В интегральной схемотехнике широко применяются элементы и устройства, реализуемые в базисе И-НЕ или в базисе ИЛИ-НЕ. В этом случае минимизация заданных функций может производиться уже изложенными методами, например, с помощью карт Карно, а затем путем преобразований приводится к виду, удобному для реализации в том или ином базисе.

Пусть минимальная ДНФ функции

$$F(A, B, C) = AB \vee BC \vee AC. \quad (1.12)$$

Возьмем двойное отрицания и применим теорему де Моргана

$$F = \overline{\overline{F}} = \overline{\overline{AB \vee BC \vee AC}} = \overline{(\overline{AB})(\overline{BC})(\overline{AC})} = (A|B)|(B|C)|(A|C). \quad (1.13)$$

Сравнивая (1.13) с (1.12), можно по методу индукции сформулировать общее правило: *при реализации на элементах И-НЕ булевой функции, представленной в дизъюнктивной нормальной форме, необходимо всюду вместо элементов И и ИЛИ ставить элемент И-НЕ.*

Пусть функция представлена в конъюнктивной нормальной форме

$$F(A, B, C) = (A \vee B)(B \vee C)(A \vee C).$$

После преобразований, аналогичных предыдущему, получим

$$F = \overline{\overline{(A \vee B)(B \vee C)(A \vee C)}} = \overline{\overline{(A \vee B)} \overline{\overline{(B \vee C)}} \overline{\overline{(A \vee C)}}} = (A \downarrow B)(B \downarrow C)(A \downarrow C).$$

Следовательно, при реализации на элементах ИЛИ-НЕ булевой функции, представленной в конъюнктивной нормальной форме, необходимо всюду вместо элементов И и ИЛИ ставить элемент ИЛИ-НЕ.

Однако эти правила предполагают, что число входов элементов И-НЕ и ИЛИ-НЕ не ограничено. Рассмотрим прием построения схемы на элементах И-НЕ только с двумя входами. Этот прием основан на теореме разложения: любая булева функция  $n$  аргументов может быть представлена в виде дизъюнктивной формы

$$F(x_1, x_2, \dots, x_n) = x_1 \cdot F(1, x_2, \dots, x_n) \vee \bar{x}_1 \cdot F(0, x_2, \dots, x_n)$$

либо конъюнктивной формы

$$F(x_1, x_2, \dots, x_n) = [x_1 \vee F(0, x_2, \dots, x_n)][\vee \bar{x}_1 \cdot F(1, x_2, \dots, x_n)].$$

Убедиться в справедливости этих формул можно подстановкой  $x_1=1$  или  $x_1=0$ .

Проверим, например, дизъюнктивную форму. Подставим  $x_1=1$ . Второе слагаемое обратится в нуль, а первое представит  $F$ , в которой  $x_1=1$ . При подстановке  $x_1=0$  слагаемые меняются ролями. Конъюнктивная форма следует из принципа двойственности.

Такое преобразование называется **р а з л о ж е н и е м ф у н к ц и и п о  $x_1$** . В полученном выражении  $F = x_1 \cdot F_1 \vee \bar{x}_1 F_0$ ,  $F_1$  и  $F_0$  – функции не  $n$ , а  $(n-1)$  аргумента.

Покажем реализацию функции  $F$  (рис.10, а), используя теорему разложения, на элементах И-НЕ. Для этого преобразуем функцию к виду

$$F = (x_1 | F_1) | (\bar{x}_1 | F_0)$$

и реализуем ее (рис.1.8, б). Сравнив рисунки, видно, что схема, реализующая  $F$  на  $n$  входов, заменяется схемами с  $(n-1)$  входами и двухвходовыми элементами И-НЕ. Применяя последовательно разложение по  $x_2, x_3$  и т.д., можно свести функцию к виду, реализуемому элементами с меньшими, чем  $n$ , входами, вплоть до двухвходовых.

В заключении докажем, что каждая из функций И-НЕ и ИЛИ-НЕ представляет функционально полный базис, т.е. позволяет реализовать любую булеву функцию.

Для этого достаточно показать, каким образом реализуются элементы основного базиса на каждом из рассматриваемых.

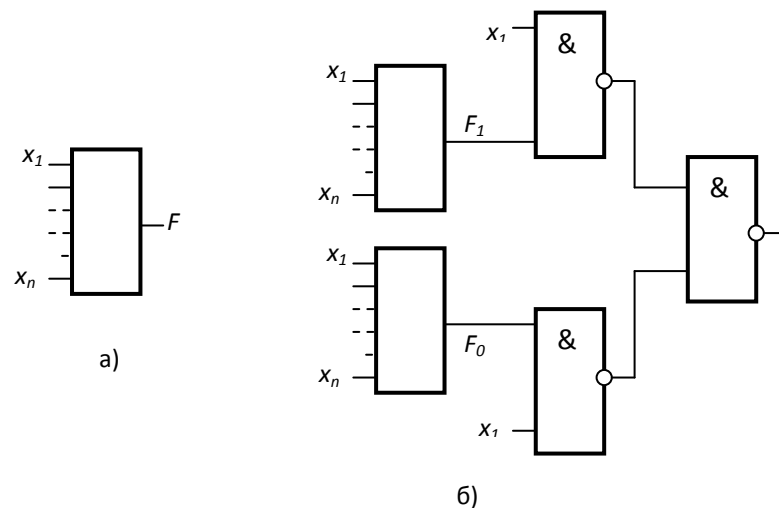


Рис.1.8. Реализация функции с использованием теоремы разложения

**Базис И-НЕ.** Используя теорему 7, для отрицания получим  $\bar{A} = \overline{AA} = A | A$ , т.е. инвертор реализуется элементом Шеффера с запараллеленными входами (рис.1.1, а).

Используя теоремы 9, 16 и предыдущий вывод, для дизъюнкции получим

$A \vee B = \overline{\overline{A} \overline{B}} = (A | A) | (B | B)$ , т.е. дизъюнктор реализуется тремя элементами Шеффера (рис.1.9, б).

Используя теорему 9 и тот же предыдущий вывод, для дизъюнкции получим

$AB = \overline{\overline{A} \overline{B}} = \overline{A | B} = (A | B) | (A | B)$ , т.е. конъюнктор реализуется двумя элементами Шеффера (рис. 1.9, в).



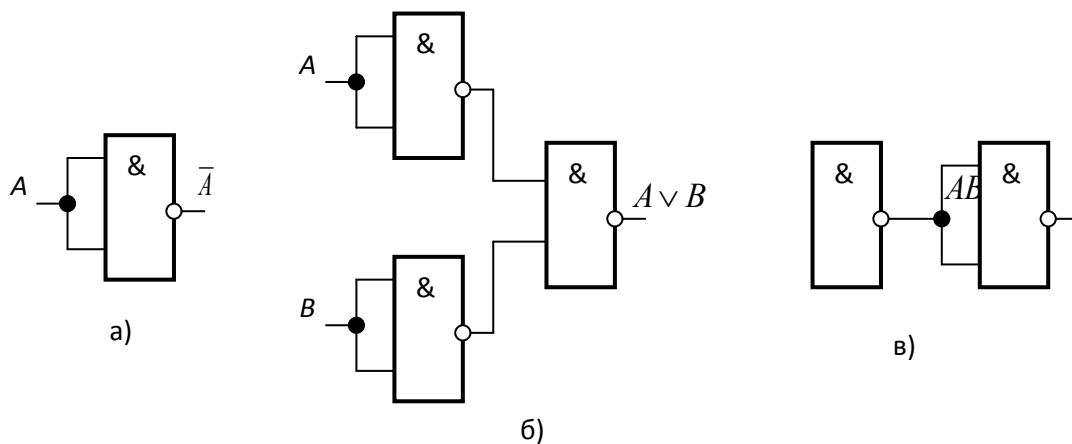


Рис.1.9. Реализация элементов основного базиса на элементах базиса Шеффера: а – инвертор; б – дизъюнктор; в - конъюнктор

*Базис ИЛИ-НЕ.* Используя теорему 3, для отрицания  $\bar{A}$  получим  $\bar{A} = \overline{A \vee A} = A \downarrow A$ , т.е. инвертор реализуется элементом Пирса с запараллеленными входами (рис.1.10, а).

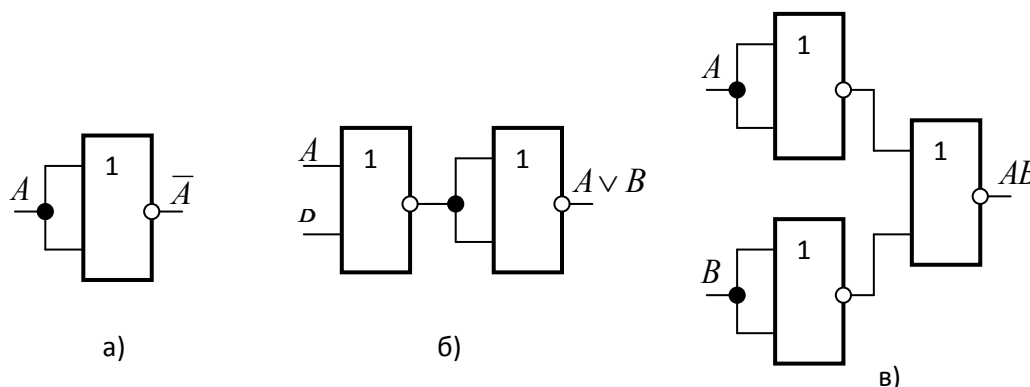


Рис.1.10. Реализация элементов основного базиса на элементах базиса Пирса: а – инвертор; б – дизъюнктор; в - конъюнктор

Используя теорему 9 и предшествующий вывод, для дизъюнкции получим

$A \vee B = \overline{\overline{A \vee B}} = A \downarrow B = (A \downarrow B) \downarrow (A \downarrow B)$ , т.е. дизъюнктор реализуется двумя элементами Пирса (рис.1.10, б).

Используя теорему 9 и 16 и тот же предыдущий вывод, для конъюнкции получим

$AB = \overline{\overline{AB}} = \overline{A \vee B} = (A \downarrow A) \downarrow (B \downarrow B)$ , т.е. конъюнктор реализуется тремя элементами Пирса (рис. 1.10, в).

Таким образом, все основные операции (НЕ, И, ИЛИ) могут быть реализованы на элементах любого из рассмотренных базисов.

### **Контрольные вопросы.**

1. Назовите основные параметры логических элементов.
2. Изобразите схему логического элемента ИЛИ на диодах и поясните ее работу.
3. Изобразите схему логического элемента «И» на диодах и поясните ее работу.
4. Поясните минимизацию функции с помощью метода карт Карно.
5. Перечислите основные типы логик и дайте им сравнительную оценку.
6. Приведите пример схемной реализации ЛЭ «ИЛИ-НЕ» ТТЛ логики.
7. Приведите пример схемной реализации ЛЭ «И» КМОП логики.

## Глава 2. Синтез типовых узлов цифровых (дискретных) устройств

### 2.1. Триггеры

Триггеры являются элементарными конечными (цифровыми) автоматами, обладающими памятью и в более сложных дискретных устройствах служащими для хранения одного разряда двоичных чисел (одного бита информации).

Триггер, как конечный автомат, характеризуется следующими свойствами:

- 1) возможное число внутренних состояний – два (единица или нуль), что соответствует одной внутренней переменной ( $z$ ), обозначаемой для обычно буквой  $Q$ ;
- 2) число выходных переменных  $y$  – одно; значение переменной  $y$  совпадает со значением  $Q$ , т.е.  $y^{t+1} = Q^{t+1}$ , поэтому триггер является автоматом Мура;
- 3) число входных переменных ( $x$ ) зависит от типа триггера.

Наряду с выходом  $Q$ , называемым п р я м ы м, триггер имеет другой (инверсный) выход  $\bar{Q}$ . Состояние триггера определяется значением прямого выхода  $Q$ . Говорят, что триггер находится в единичном состоянии, если  $Q = 1$ , и в нулевом, если  $Q = 0$ .

Изменение состояния триггеров под действием входных сигналов происходит скачкообразно.

Разработано большое количество типов триггеров, которые по функциональному признаку можно разделить на четыре основных типа:

- 1) триггеры с двумя установочными входами – RS-триггеры (Reset – сбрасывать, Set – устанавливать);
- 2) триггеры задержки с одним входом – D-триггеры (Delay – задержка);
- 3) триггеры с одним счетным входом – T-триггеры;
- 4) универсальные триггеры с несколько входами.

Для всех триггеров характерны такие схемотехнические параметры как:  $n$ -коэффициент разветвления, определяющий нагрузочную способность

и означающий количество параллельно соединенных следующих за триггером элементов, на которые можно подать выходной сигнал триггера;  $m$ -коэффициент, объединения по входу, означающий максимальное число входных сигналов, которые можно подать к триггеру;  $t_{и}$  – наименьшая длительность входного сигнала (импульса), при котором еще происходит надежное переключение триггера;  $t_{зд}$  - время задержки между моментами подачи входного и появления выходного сигналов;  $t_p$  – разрешающее время – наименьший интервал между моментами подачи двух входных сигналов с длительностью  $t_{и}$ , вызывающих переключение триггера (определяет быстродействие конечного автомата, построенного на триггерах).

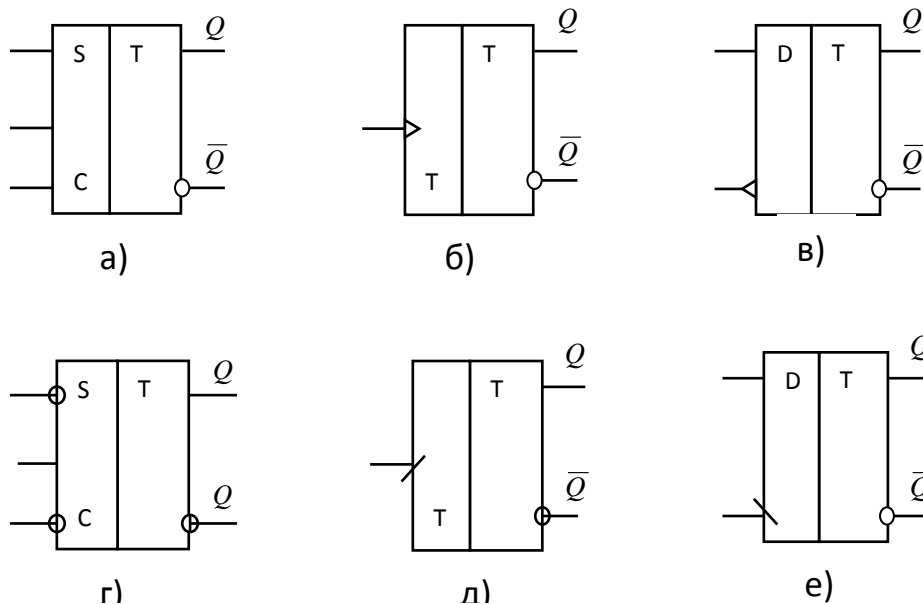


Рис. 2.1. Условные обозначения триггера: а – RS-триггер со статическими входами, синхронизируемый потенциалом 1 входа С; б, д – асинхронный Т-триггер с динамическим входом, срабатывающий от перепада потенциалов от 0 к 1; в, е – триггер задержки со статическим входом D, синхронизируемый фронтом сигнала С при изменении от 1 к 0; г – то же, что и а, но с инверсными входами

Как и любые конечные автоматы, триггеры могут быть асинхронными и синхронными (тактируемыми). В *асинхронных* изменение состояния происходит непосредственно с приходом входного сигнала, а в *синхронных* – лишь при подаче синхронизирующего (тактового) сигнала в соответствии со значениями сигналов на входах.

Согласно отечественного стандарта триггеры обозначают в виде прямоугольника с буквой  $T$  внутри, с правой стороны которого показывают прямой  $Q$  и (с кружком) инверсный  $\bar{Q}$  выходы. Обозначения входов пишут на дополнительном поле в левой части прямоугольника. При этом различают триггеры со статическими и динамическими входами. Входы, управляемые потенциалами (уровнями напряжения), называют **статическими** (включая и сигнал синхронизации), а управляемые перепадами потенциалов (фронтами импульсов напряжения) – **динамическими**. Динамические входы обозначают треугольником, который направляют вершиной внутрь триггера, если он срабатывает при перепаде потенциала от 0 к 1, и в обратную сторону, если триггер реагирует на перепад от 1 к 0.

Согласно государственным стандартам допускается две формы условных обозначений. На рис. 2.1, а-в приведены примеры условных обозначений по форме № 2, а на рис. 2.1, г-е – по форме № 1, которая является предпочтительной в конструкторской документации, как более удобная для вычерчивания схем (особенно с использованием графопостроителей, управляемых от ЭВМ, при автоматизированном проектировании).

### 2.1.1. Триггер с установочными входами (*RS*-триггер)

**Асинхронный *RS*-триггер.** Работа этого типа триггеров, как автомата с памятью, характеризуется таблицей состояний (табл. 2.1), включающей таблицу переходов и таблицу выходов. Однако учитывая, что для триггеров выходная переменная  $y^{t+1}$  значения внутреннего состояния триггера  $Q^{t+1}$  (как это видно из двух последних столбцов табл.2.1), обычно графу  $y^{n+1}$  опускают и ограничиваются рассмотрением таблицы переходов.

Из таблицы переходов видно, что подача на вход сигнала  $S^t = 1$  переводит триггер в состояние  $Q^{t+1}=1$ , в каком состоянии (0 или 1) он не находился в такте  $t$  (ср. наборы 1 и 5 таблицы), а подача сигнала  $R^t=1$

переводит триггер в состояние  $Q^{t+1}=0$  вне зависимости от состояния  $Q^t$  в предыдущем такте (см. наборы 2 и 6).

Таблица переходов

Таблица 2.1

Номера наборов такта t	Такт, t			$Q^{t+1}$	$y^{t+1}$
	$R^t$	$S^t$	$Q^t$		
0	0	0	0	0	0
1	0	1	0	1	1
2	1	0	0	0	0
3	1	1	0	-	-
4	0	0	1	1	1
5	0	1	1	1	1
6	1	0	1	0	0
7	1	1	1	-	-

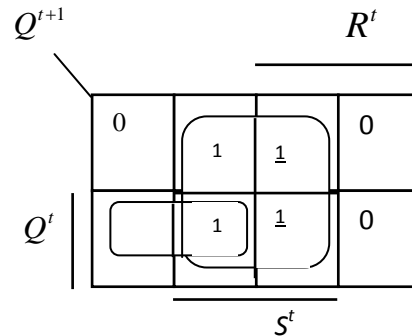


Рис.2.2. Карта Карно функции переходов RS-триггера

Естественно, что одновременная подача сигналов на взведение и сброс триггера неприемлема, поэтому комбинация входных сигналов  $S^t=R^t=1$  является запрещенной (наборы 3 и 7), и в столбце  $Q^{t+1}$  против этих наборов стоят прочерки. Таким образом, булева функция переходов RS-триггера является не полностью определенной.

Карта Карно для нахождения функции переходов, составленная по табл. 2.1, имеет вид рис. 2.2. Доопределив ее единицами на запрещенных наборах и применив правила минимизации, получим минимальную дизъюнктивную нормальную форму функции переходов для RS-триггера

$$Q^{t+1} = S^t \vee \bar{R}^t Q^t, \quad (2.1)$$

где  $S^t$  – импликанта, накрывающая квадрат из четырех единиц;  $\bar{R}^t Q^t$  – импликанта, накрывающая овал из двух единиц в нижней строке (в дальнейшем для упрощения записи индекс t опускают, сохраняя лишь там, где важно отметить различие тактов t и t+1).

Из функции переходов очевидно, что RS-триггер сохраняет состояние (1 или 0) независимо от многократного изменения и повторения входного сигнала, соответствующего исходному состоянию. Например, при  $Q^t=0$  подача сигналов  $R=1$  и  $R=0$  (при условии  $S=0$ ) не изменит нулевого

состояния триггера, т.е.  $Q^{t+1}$  останется равным нулю (что следует также из сравнения наборов 0 и 2 таблицы переходов). Аналогично триггер сохраняет единичное состояние (при условии  $R=0$ ) каким бы ни был сигнал  $S$  (нулем или единицей) при многократном повторении (что следует также из сравнения наборов 4 и 5). Это свойство называется **б л о к и р о в к о й RS-** триггера и используется при синтезе на этих триггерах более сложных устройств.

Функция переходов (2.1) позволяет определить состояние триггера в такт  $(t+1)$  по его состоянию в такт  $t$  и сигналам, поступающим в такт  $t$  на его входы. Однако при синтезе устройств на триггерах возникает обратная задача: определить, при какой комбинации входных сигналов триггер перейдет из одного (заданного) состояния  $Q^t$  в другое (требуемое)  $Q^{t+1}$ . Эту задачу удобнее решать с помощью таблицы, называемой **м а т р и ц е й п е р е х о д о в**, которую строят из следующих соображений.

Рассмотрим функцию переходов для всех возможных переходов триггера

$Q^t \rightarrow Q^{t+1} : 0 \rightarrow 0; 0 \rightarrow 1$ . Подставив эти пары значений в 2.1, получим равенства:

$$0 = S \vee \bar{R} \cdot 0; 0 = S \vee \bar{R} \cdot 1 \text{ и } 1 = S \vee \bar{R} \cdot 1.$$

Из первого равенства следует, что переход  $0 \rightarrow 0$  возможен при  $S=0$  и любом  $R$ , так как, будучи умноженным на нуль, второе слагаемое всегда обратится в нуль.

Второе равенство выполняется при  $S=1$  и также любом  $R$ . Учитывая, однако, что комбинация  $R=S=1$  запрещенная, оставим сочетание  $S=1$  и  $R=0$ .

Третье равенство выполняется только при  $S=0$  и  $R=1$ .

Четвертое равенство выполняется как при сочетании сигналов и любом  $R$ , так и при  $R=0$  и любом  $S$ . Рассмотрим первое сочетание. Так как набор  $S=R=1$  запрещенный, достаточно рассмотреть лишь сочетание  $S=1$  и  $R=0$ , но если  $R=0$ , а триггер находится в единичном состоянии, то из свойств блокировки следует: будет ли повторен сигнал  $S=1$  или он отсутствует ( $S=1$ ) или он отсутствует ( $S=0$ ) – все равно единичное состояние триггера не

изменится. Таким образом, рассмотрение первого из двух возможных сочетаний выполнения четвертого равенства привело ко второму, т.е. для сохранения единичного состояния триггера достаточно условие  $R=0$  при любом значении  $S$ .

Результаты анализа позволяют составить матрицу переходов  $RS$ -триггера (табл.2.2), показывающую сочетания входных сигналов, которые обеспечивают требуемое состояние триггера при переходе из такта  $t$  в такт  $(t+1)$ .

$Q^t \rightarrow Q^{t+1}$	$R^t$	$S^t$
0 0	*	0
0 1	0	1
1 0	1	1
1 1	0	*

**Примечание.** Звездочка означает, что значение сигнала может быть любым (как нулем, так и единицей)

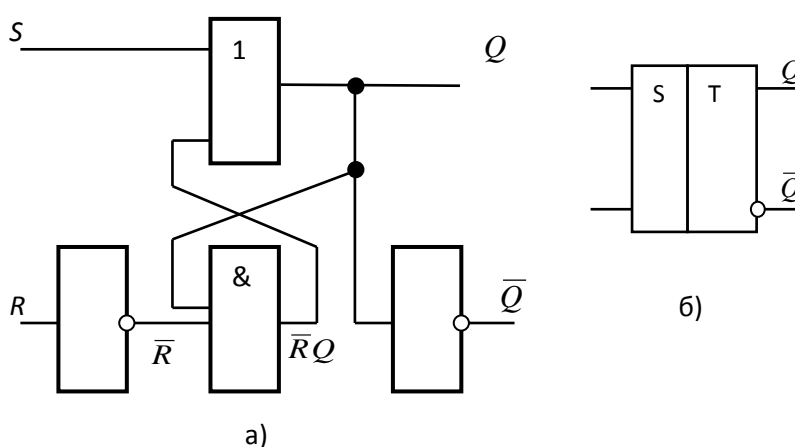


Рис.2.3.  $RS$ -триггер с прямыми входами на элементах основного базиса (а) и его условное изображение (б)

Функция переходов (2.1) позволяет осуществить структурный синтез  $RS$ -триггера. На рис.2.3 приведена реализация функции переходов на элементах основного базиса.

Убедимся, что эта схема, построенная лишь на комбинационных элементах (т.е. элементах не обладающих памятью), выполняет функции элементарного конечного автомата – триггера (т.е. элемента с памятью).

Пусть на вход  $S$  поступил единичный сигнал. Пройдя через дизъюнктор, этот сигнал вызовет сигнал  $Q=1$ , который поступает на один из входов конъюнктора. Так как на входе левого инвертора сигнал  $R=0$ , на его выходе постоянно действует сигнал  $\bar{R}=1$ . Этот сигнал вместе с поступившим сигналом  $Q=1$  создает единичный сигнал на выходе конъюнктора  $\bar{R}Q=1$ ,



который, поступая на нижний вход дизъюнктора, обеспечивает выдачу сигнала  $Q=1$  даже после прекращения сигнала  $S=1$ . Триггер «запомнит» единичное состояние и будет его сохранять до тех пор, пока на вход  $R$  не будет подан сигнал  $R=1$ . При этом появится сигнал  $\bar{R}=0$ , который заставит конъюнктор выдать сигнал  $RQ=0$ , несмотря на то, что на его верхний вход продолжает поступать сигнал  $Q=1$ . Так как  $S=0$ , то сигнал  $RQ=0$  приведет к появлению на дизъюнкторе сигнала  $Q=0$ , соответствующего нулевому состоянию триггера. Это состояние сохраняется и после прекращения сигнала  $R=1$ , т.е. до тех пор, пока новый сигнал  $S=1$  не переведет триггер в новое единичное состояние. Для получения инверсного выхода триггера служит правый инвертор, на вход которого поступает сигнал  $Q$ .

Покажем, как синтезировать RS-триггер на элементе многофункционального базиса И-НЕ (штрих Шеффера). Для этого преобразуем функцию переходов (2.1), взяв от нее двойное отрицание и применив теорему де Моргана:

$$Q^{t+1} = \overline{\overline{Q^{t+1}}} = \overline{S \vee \overline{RQ}} = \overline{\overline{S} \overline{RQ}} = \overline{\overline{S}} | (\overline{R} | Q). \quad (2.2)$$

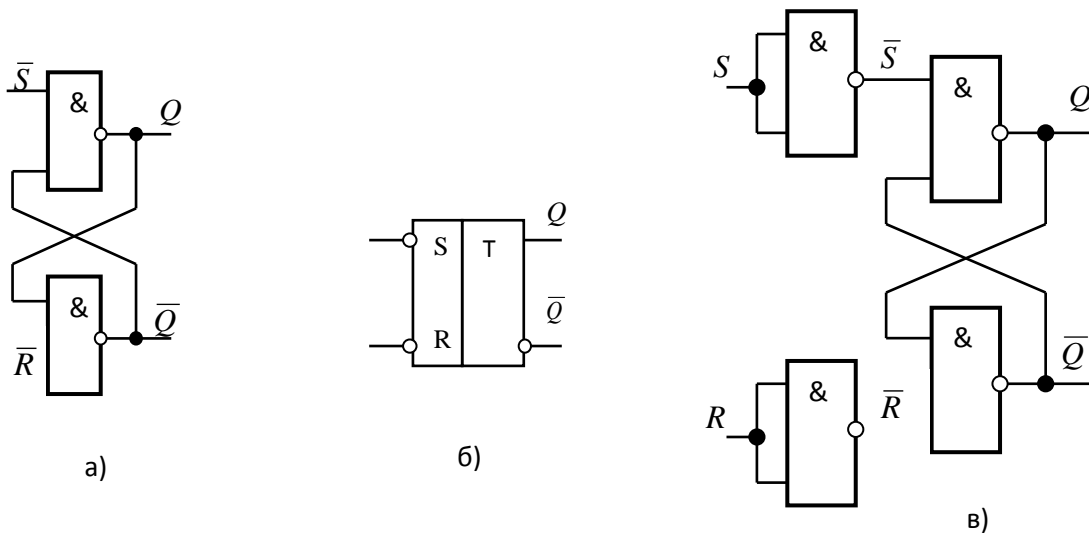


Рис.2.4. RS-триггер на элементах И-НЕ с инверсными входами (а), его условное обозначение (б) и модификация с прямыми входами (в)

По полученной в базисе функции Шеффера структурной формуле (2.2) синтезирована схема RS-триггера на элементах Шеффера (рис.2.4, а),

особенностью, которой являются инверсные входы  $\bar{S}$  и  $\bar{R}$ . Это означает, что для первого триггера, например, в единичное состояние нужно на вход S подать не единичный, а нулевой сигнал. Условное изображение RS-триггера с инверсными входами показано на рис. 2.4,б.

Если на элементах И-НЕ хотят синтезировать RS-триггер с прямыми входами, то достаточно входной сигнал подавать предварительно на дополнительный элемент. И-НЕ с запараллеленными входами, как показано на рис. 2.4, в (см.1.5).

Подобным же образом функцию переходов (2.1) можно преобразовать в базисе функции Пирса

$$\bar{Q}^{t+1} = \overline{S \vee \bar{R}Q} = \overline{\overline{\overline{S \vee \bar{R}Q}}} = \overline{S \vee R \vee \bar{Q}} = S \downarrow (R \downarrow \bar{Q}). \quad (2.3)$$

Реализуя структурную формулу (2.3), получим схему RS-триггера с прямыми входами (2.3) на элементах ИЛИ-НЕ (рис.2.5, а), в которой входы R и S поменялись местами, но играют ту же роль, что и в схеме RS-триггера с условным обозначением, приведенным на рис. 2.3, б.

Оценим быстродействие RS-триггера на примере 2.5. Пусть начальное состояние триггера  $Q=0$  (а значит,  $\bar{Q}=1$ ). В момент  $t=0$  подается сигнал  $S=1$ . Если средняя длительность задержки переключения элемента ИЛИ-НЕ из одного состояния в другое  $t_{cp}$ , то через это время в момент  $t_1$  нижний элемент перейдет из 1 в 0 и  $\bar{Q}$  станет равным нулю. Сигнал  $\bar{Q}=0$  поступит на вход верхнего элемента и через время  $t_{cp}$  в момент  $t_2$ , изменит его состояние и выдаст сигнал  $Q=1$ . Таким образом, время задержки триггера при его установке в единичное состояние  $t_{зд} = 2t_{cp}$ . Причем, для надежного функционирования триггера длительность импульса на его входе  $t_u$  должна быть не меньше суммарной задержки переключения обоих элементов ИЛИ-НЕ, составляющих триггер, до полного прекращения переходных процессов в них, т.е.  $t_u \geq 2t_{cp}$ .

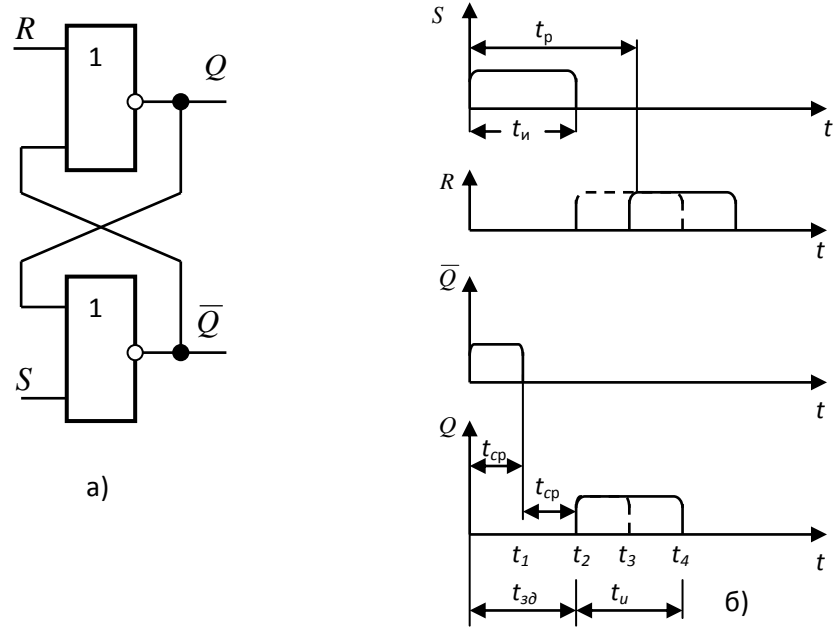


Рис.2.5. Асинхронный RS-триггер на элементах ИЛИ-НЕ

При необходимости сброса триггера в нулевое состояние сигнал  $R=1$ , казалось бы, можно подать в момент  $t_2$  окончания сигнала  $S=1$ , как показано пунктиром на рис.2.5, б. Однако в этом случае верхний элемент ИЛИ-НЕ через время  $t_{cp}$  переключится и создаст в момент  $t_3$  на выходе сигнал  $Q=0$ . Следовательно, длительность выходного сигнала триггера  $Q=1$  будет ограничена отрезком времени  $t_2-t_3$  (т.е. равна  $t_{cp}$ ) и может оказаться недостаточной для надежной передачи информации в следующий триггер, являющийся нагрузкой для рассматриваемого. Поэтому разрешающее время должно быть увеличено до значения  $t_p=3t_{cp}$ , при котором, как показано сплошными линиями на рис. 2.5, б, длительность выходного сигнала  $Q=1$  триггера обеспечивается равной  $t_u$ .

Приведенная оценка быстродействия относится ко всем схемам триггеров, составленных из комбинационных элементов.

**Синхронный RS-триггер.** Как указывалось в 1.2, из-за задержки переключения логических элементов в схемах, составленных из таких элементов, возможны режимы «состязаний» («гонок»), в результате которых

выходной сигнал на некоторое (обычно короткое) время принимает ложное значения. Примером подобного явления может служить процесс переключения триггера, приведенный на рис. 2.5, б. В самом деле, в течение времени  $t_1-t_2$  сигнал как на прямом, так и инверсном выходах триггера одновременно равен нулю. Предположим, что выходы рассматриваемого триггера подключены ко входам R и S следующего за ним триггера с инверсными входами. Очевидно, что в этом случае в течение времени  $t_1-t_2$  такой триггер поступает запрещенный набор входных сигналов, который (если он затянется во времени) может нарушить функционирование устройства.

Устранить ошибки, которые могут возникнуть за счет «состязаний» в логических цепях, позволяет способ временного стробирования. Вырабатываемый устройством сигнал в этом случае передается на последующие устройства не непрерывно, а только в такой отрезок времени, когда искажение правильных значений выходного сигнала за счет «состязаний» заведомо исключено. В рассмотренном примере таким интервалом будет отрезок времени  $t_2-t_4$ .

Временное стробирование обеспечивается синхронизирующими (тактовыми) импульсами, поэтому синхронный RS-триггер кроме информационных входов R и S имеет вход C, на который подается синхронизирующий сигнал.

Таблица переходов такого триггера (табл.2.3) дополнена графой C, из которой видно, что он функционирует как RS-триггер только при условии  $C=1$ . В противном случае, т.е. при отсутствии синхронизирующих импульсов, состояние его сохраняется неизменным  $Q^{t+1}=Q^t$ , какие бы сигналы ни подавались на информационные входы, причем возможна подача сочетания  $R=S=1$  (или  $R=S=0$  для триггера с инверсными входами).

Синхронизация осуществляется включением на каждом входе асинхронного RS-триггера дополнительного элемента И. Одни из входов этих элементов объединены и на них подается сигнал C; другие являются

информационными, но поданные на них сигналы поступают к триггеру лишь при наличии единицы на входе  $C$ .

Заполнив карту Карно, доопределив функцию переходов единицами на запрещенных наборах и проведя ее минимизацию (рис. 2.6), получим структурную формулу синхронного триггера:

$$Q^{t+1} = SC \vee Q\bar{R} \vee Q\bar{C} = SC \vee Q(\bar{R} \vee \bar{C}), \quad (2.4)$$

которую можно реализовать на элементах основного базиса.

Для синтеза схемы триггера на элементах И-НЕ применим к (2.4) двойное отрицание и дважды теорему де Моргана:

$$Q^{t+1} = \overline{\overline{Q^{t+1}}} = \overline{\overline{SC}[\overline{Q(\bar{R} \vee \bar{C})}]} = \overline{\overline{SC}[\overline{Q(RC)}]}. \quad (2.5)$$

Таблица 2.3

Такт $t$				$Q^{t-1}$	Такт $t$				$Q^{t-1}$
$C^t$	$R^t$	$S^t$	$Q^t$		$C^t$	$R^t$	$S^t$	$Q^t$	
0	0	0	0	0	1	0	0	0	0
0	0	1	0	0	1	0	1	0	1
0	1	0	0	0	1	1	0	0	0
0	1	1	0	0	1	1	1	0	-
0	0	0	1	1	1	0	0	1	1
0	0	1	1	1	1	0	1	1	1
0	1	0	1	1	1	1	0	1	0
0	1	1	1	1	1	1	1	1	-

В соответствии со структурной формулой (2.5) схема синхронного RS-триггера имеет вид рис. 2.7, где на выходах элементов обозначены операторы формулы (2.5), которые они реализуют. Условное обозначение такого триггера совпадает с рис. 2.1, а.

При использовании элементов ИЛИ-НЕ формулу (2.4) можно преобразовать к виду

$$Q^{t+1} = \overline{\overline{SC} \vee \overline{Q(\bar{R} \vee \bar{C})}} = \overline{\overline{S} \vee \overline{C}} \vee \overline{Q(\bar{R} \vee \bar{C})},$$

или при инвертировании обеих частей

$$Q^{t+1} = \overline{\overline{\overline{\overline{\overline{S \vee \overline{C}} \vee \overline{Q} \vee \overline{R \vee \overline{C}}}}}} = (\overline{S} \downarrow \overline{C}) \downarrow [\overline{Q} \downarrow (\overline{R} \downarrow \overline{C})]. \quad (2.6)$$

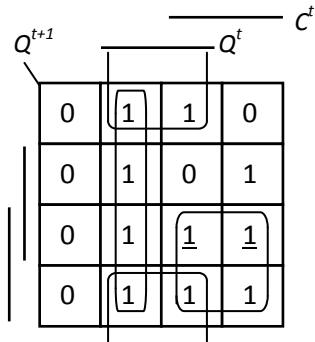


Рис.2.6. Карта Карно функции переходов синхронного RS-триггера

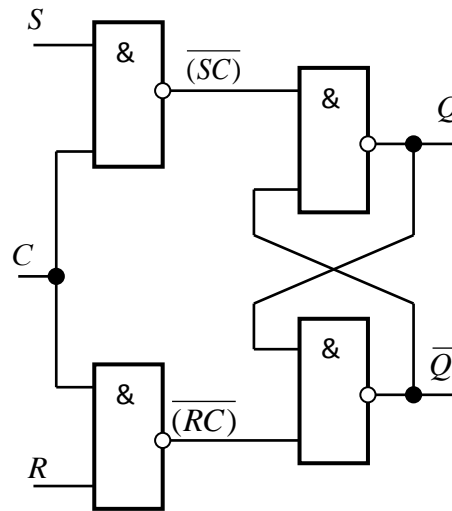


Рис.2.7. Синхронный RS-триггера на элементах базиса И-НЕ

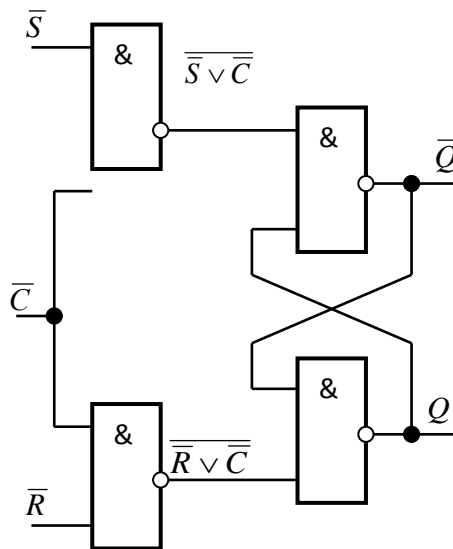


Рис.2.8. Синхронный RS-триггера на элементах базиса ИЛИ-НЕ

По полученной в базисе функции Пирса структурной формуле (2.6) синтезирована схема синхронного RS-триггера (рис.2.8), особенностью которой являются инверсные входы  $S$ ,  $R$  и  $C$  (ср. с рис.2.4, а).

### 2.1.2. Триггер задержки (D-триггер) и триггер со счетным входом (Т-триггер)

**D-триггер.** Это триггер с единственным входным сигналом, обозначаемым буквой D. Значение сигнала на выходе Q такого триггера в такт (t+1) равно значению сигнала на входе D в предыдущем такте t. Таким образом, входной сигнал передается на выход с задержкой на один такт, т.е.

$$Q^{t+1} = D^t. \quad (2.7)$$

В соответствии с функцией переходов (2.7) очевидна матрица переходов D-триггера (табл.2.4)

Таблица 2.4

$Q^t \rightarrow Q^{t+1}$		$D^t$
0	0	0
0	1	1
1	0	0
1	1	1

Однако асинхронный D-триггер не применяется, так как его выход просто повторяет входной сигнал после окончания режима состязаний. Синхронный же D-триггер функционирует в соответствии с табл. 2.5, из которой видно, что при отсутствии синхроимпульсов ( $C=0$ ) состояние триггера остается неизменным. При условии же  $C=1$  триггер передает на выход сигнал, поступивший на его вход в предыдущем такте.

Таблица 2.5

Такт t			$Q^{t+1}$	Такт t			$Q^{t+1}$
$C^t$	$D^t$	$Q^t$		$C^t$	$D^t$	$Q^t$	
0	0	0		1	0	0	0
0	0	1		1	0	1	0
0	1	0		1	1	0	1
0	1	1		1	1	1	1

Минимальная ДНФ функции переходов, составленная по двум овалам, очерченным на карте Карно (рис. 2.9) сплошным линиям,

$$Q^{t+1} = \bar{C}Q \vee CD. \quad (2.8)$$

Добавив к (2.8) еще одну импликанту, обозначенную штриховым овалом, получим выражение функции переходов, которое можно преобразовать так:

$$Q^{t+1} = \bar{C}Q \vee CD \vee DQ = CD \vee Q(\bar{\bar{C}} \vee \bar{D}) = CD \vee Q(\bar{C}\bar{D}) = CD \vee (\bar{C}\bar{D})Q. \quad (2.9)$$

Вид (2.9) функции переходов D-триггера по своей структуре совпадает с выражением (2.1) функции переходов RS-триггера, если принять

$$S = CD \text{ и } R = \bar{C}\bar{D}. \quad (2.10)$$

Следовательно, D-триггер можно представить как RS-триггер, на информационные входы которого подаются сигналы, соответствующие выражениям (2.10). Реализация структурной формулы (2.9.) приведена на рис.2.10, где пунктиром обведена схема RS-триггера с инверсными входами (ср. рис. 2.4, а), а расположенные слева от него элементы формируют его входные сигналы. Действительно, на выходе верхнего элемента имеем  $CD = \bar{S}$ , а на выходе нижнего

$$\bar{C}\bar{D} = \overline{C(C \vee \bar{D})} = \overline{CC \vee CD} = \overline{CD} = \bar{R}.$$

**T-триггер.** Булева функция, отражающая работу T-триггера, содержательно может быть представлена так: триггер инвертирует свое предыдущее состояние при подаче на его вход T единичного сигнала, т.е.  $Q^{t+1} = \bar{Q}^t$  при  $T=1$ .

	$D^t$			
$Q^{t+1}$	0	0	1	0
$Q^t$	1	1	1	0
	$C^t$			

Рис.2.9. Карта Карно синхронного D-триггера

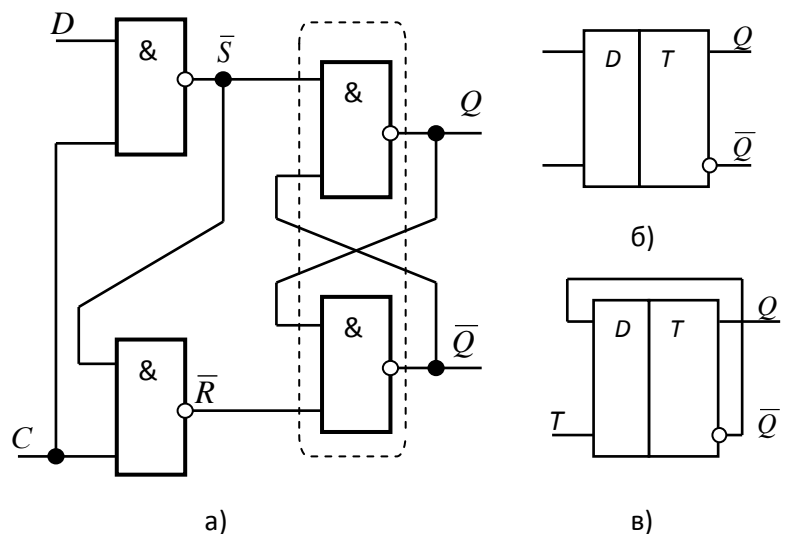


Рис.2.10. Синхронный D-триггер (а), его условное обозначение (б) и использование в качестве T-триггера (в)



На основании содержательного представления заполнена таблица переходов (табл. 2.6), используя которую, по единицам составлена СовДНФ функции переходов Т-триггера, являющаяся минимальной формой этой функции:

$$Q^{t+1} = \bar{T}Q \vee T\bar{Q}. \quad (2.11)$$

### 2.1.3. Триггер со счетным входом (Т-триггер)

На логических элементах основного базиса Т-триггер можно синтезировать подобно тому, как это показано на рис. 2.3, или в базисе И-НЕ (см. на рис.2.4). Однако целесообразнее использовать имеющийся в составе серий интегральных микросхем D-триггер с помощью пересоединений выводов микросхемы.

Так, если в синхронном D-триггере вход соединить с инверсным выходом  $\bar{Q}$ , то он превращается в Т-триггер. Действительно, заменив в (2.8) D на  $\bar{Q}$ , получим

$$Q^{t+1} = \bar{C}Q \vee C\bar{Q}, \quad (2.12)$$

что совпадает с (2.11), если принять  $T=C$ , т.е. счетные сигналы подавать вместо синхроимпульсов на вход C, как показано на рис.2.10, в.

Особенностью Т-триггера является в 2 раза меньшая частота выходных сигналов, по сравнению с частотой сигналов на входе T. Это позволяет использовать его в качестве делителя частоты последовательности сигналов на два, а также при создании на Т-триггерах двоичных счетчиков.

При синтезе на Т-триггерах более сложных конечных автоматов используют матрицу переходов (табл. 2.7), которую легко заполнить путем следующих логических рассуждений: чтобы инвертировать триггер (вторая и третья строка таблицы), надо подать на вход единицу, а чтобы сохранить состояние триггера (первая и четвертая строки), надо подавать нуль.

Существует ряд разновидностей Т-триггера с дополнительными входами: TD-триггер (счетный триггер с задержкой); TV-триггер (счетный

триггер с тактирующим входом); RST-триггер (счетный триггер с установочными входами в то или иное начальное, исходное состояние) и т.п. Так на рис. 2.11, а приведено условное изображение T-триггера, тактируемого с помощью синхроимпульсов С при их изменении от 0 до 1 (динамический вход С), со статическими входами R, S и T, причем входы S и R являются асинхронными и инверсными. Последнее означает, что триггер устанавливается в состоянии  $Q=0$  в момент подачи сигнала  $R=0$  или в состояние  $Q=1$  в момент подачи сигнала  $S=0$  вне зависимости от того, подан или еще отсутствует синхроимпульс С.

Аналогичными свойствами обладает и универсальный D-триггер, условное обозначение которого приведено на рис. 2.11, б. Он также функционирует в синхронном режиме по входу D (но в отличие от триггера рис.2.11, а синхронизация производится подачей потенциала на вход С) и в асинхронном по входам R и S.

#### 2.1.4. JK-триггер

JK-триггер с двумя входами, функционирующий в соответствии с таблицей переходов (табл. 2.8), из которой видно, что при комбинации сигналов  $J=1$  и  $K=1$  (третий и седьмой наборы) триггер инвертирует свое предыдущее состояние, т.е. при конъюнкции  $JK=1$   $Q^{t+1} = \bar{Q}^t$ . В остальных случаях, JK-триггер ведет себя как RS-триггер (ср. с табл. 2.1). При этом вход J эквивалентен входу S, а вход K – входу R.

Таблица 2.8

Такт $t$				$Q^{t+1}$	Такт $t$				$Q^{t+1}$
Номера наборов	$K^t$	$J^t$	$Q^t$		Номера наборов	$K^t$	$J^t$	$Q^t$	
0	0	0	0	0	4	0	0	1	1
1	0	1	0	1	5	0	1	1	1
2	1	0	0	0	6	1	0	1	0
3	1	1	0	1	7	1	1	1	0

Используя карту Карно (рис.2.12), найдем минимальную форму функции переходов JK-триггера:

$$Q^{t+1} = J\bar{Q} \vee \bar{K}. \quad (2.13)$$

В интегральной схемотехнике распространены синхронные JK-триггеры с динамическим входом синхроимпульсов С (рис.2.13, а). Эти триггеры путем несложной коммутации (пересоединения) внешних выводов можно превратить в схемы, выполняющие функции RS-, D- и T- триггера.

Так, если в (2.13) принять  $J = D$  и  $K = \bar{D}$ , то получим

$$Q^{t+1} = D\bar{Q} \vee DQ = D(\bar{Q} \vee Q) = D, \quad (2.14)$$

т. е. функцию переходов D-триггера. Сравнивая (2.13) и (2.14), видим, что для получения D-триггера надо соединить вход J со входом K через инвертор, причем J-вход будет выполнять функцию D-входа (рис. 2.13, б).

Для получения T-триггера (рис.2.13, в) достаточно соединить входы J и K, подавая на них T-сигналы. В этом случае  $J=K=T$  и (2.13) превращается в функцию перехода T-триггера (2.11).

Если на вход J подавать сигналы S, а на вход K – сигналы R, то JK-триггер будет выполнять функции RS-триггера (рис. 2.13, г).

Для составления матрицы переходов подставим в (2.13) все возможные сочетания состояний триггера и проанализируем условия, при которых выполняются эти сочетания:

$$\left. \begin{array}{l} 0 \rightarrow 0 \quad 0 = J \cdot 1 \vee \bar{K} \cdot 0, \\ 0 \rightarrow 1 \quad 1 = J \cdot 1 \vee \bar{K} \cdot 0, \end{array} \right\} \text{при любом } K \text{ и } \left\{ \begin{array}{l} J=0 \\ J=1. \end{array} \right.$$

$$\left. \begin{array}{l} 1 \rightarrow 0 \quad 0 = J \cdot 0 \vee \bar{K} \cdot 1, \\ 1 \rightarrow 1 \quad 1 = J \cdot 0 \vee \bar{K} \cdot 1, \end{array} \right\} \text{при любом } J \text{ и } \left\{ \begin{array}{l} K=1 \\ K=0. \end{array} \right.$$

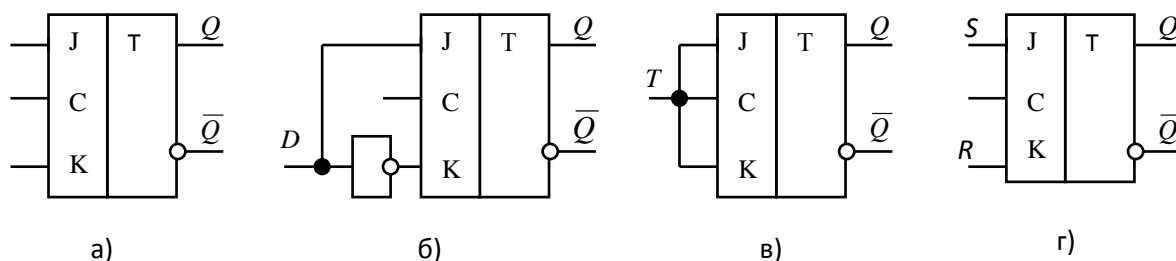


Рис. 2.13. Условное обозначение JK-триггера (а) и его использование в качестве D-триггера (б), T-триггера (в) и RS-триггера (г)

В соответствии с результатами анализа заполнена матрица переходов (табл. 2.9), которую используют при синтезе цифровых устройств на JK-триггерах.

Рассмотренные синхронные триггеры являются одноступенчатыми (обозначены буквой Т). Устойчивая работа таких триггеров в схемах с передачей информации между триггерами возможна только при условии, что перевод триггера в новое состояние (занесение в него новой информации).

Таблица 2.9

$Q^t \rightarrow Q^{t+1}$	$J^t$	$K^t$
0 0	0	*
0 1	1	*
1 0	*	1
1 1	*	0

осуществляется после завершения передачи информации о прежнем его состоянии в следующий за ним триггер. Выполнение этого условия обеспечивается в двухступенчатых триггерах, состоящих из двух одноступенчатых триггеров. Вначале информация записывается в первый (управляющий) триггер, а затем переписывается во второй (управляемый). Такой принцип построения триггеров иногда называют *MS*-принципом.

Все рассмотренные типы триггеров могут быть построены по *MS*-принципу (на схемах их обозначают двумя буквами *TT*).

## Глава 3. Регистры, счетчики, комбинационные схемы

### 3.1. Регистры

Регистром называется функциональный узел, предназначенный для хранения двоичных кодов и их сдвига на нужное число разрядов.

Регистр составляется из одинаковых элементов памяти и управляющей комбинационной схемы. В каждом элементе можно хранить один разряд двоичного кода, поэтому элемент памяти с соответствующей частью комбинационной схемы называют разрядом регистра. Многоразрядный код можно вводить в регистр и выводить из него параллельно, когда все разряды заполняются одновременно и последовательно - поразрядно. В зависимости от способов ввода и вывода информационных кодов различают параллельные, последовательные и комбинированные регистры.

Параллельные регистры. Ввод и вывод кода в параллельных регистрах происходят параллельно. На рис.3.1а,б его условное обозначение и схема n-разрядного регистра на RS-триггерах

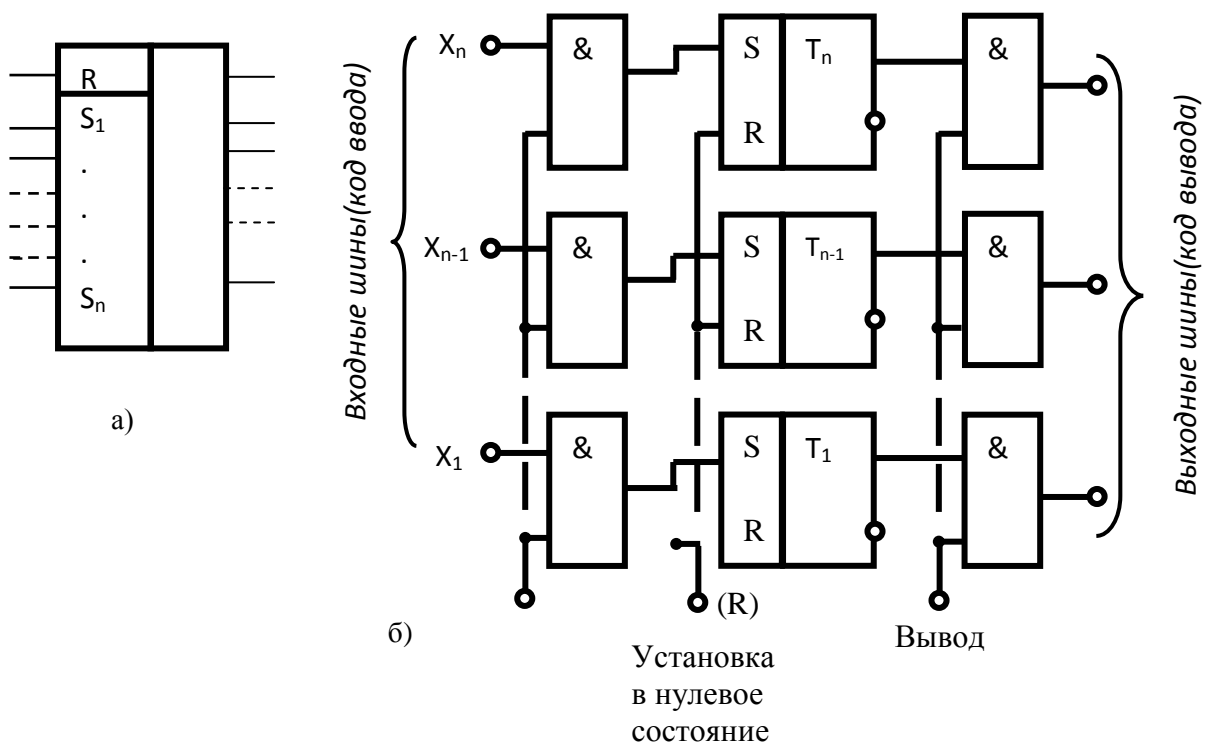


Рис.3.1. Параллельный регистр:  
а – условное обозначение; б – структурная схема

Для параллельного ввода двоичного числа на вход каждого из триггеров подается соответствующий разряд вводимого числа ( $S_1, S_2, \dots, S_n$ ). Для установки регистра в нулевое состояние необходимо подать сигнал «1» на входы триггеров.

Информация в ячейки регистра записывается по команде «Ввод» («1» на входе «Ввод»). Тогда сигналы, поступающие по входным сигналам, установят в соответствующее состояние триггеры  $T_1-T_n$ . На выходе регистра информация появится при подаче сигнала «1» на шину «вывод», в ее отсутствие на выходах - нули. При считывании информация, записанная в регистре, сохраняется.

Параллельный регистр на D-триггерах представлен на рис.3.2. Ввод кода в регистр осуществляется при поступлении на шину «ввод» синхронизирующего импульса «1». Триггеры регистра при этом запоминают входной сигнал соответственно  $S_1, S_2, \dots, S_n$ .

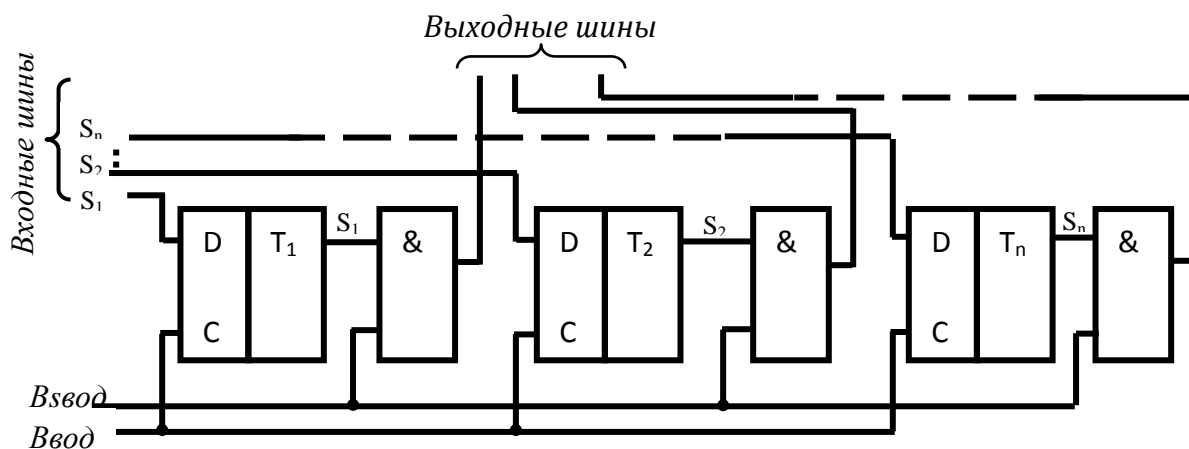


Рис.3.2. Схема параллельного регистра на D-триггерах

Вывод хранимого кода из регистра может производиться многократно без изменения его содержания. Для этого на «Выход» необходимо подать импульс считывания.

Последовательные регистры. Последовательные регистры называют сдвиговыми, так как в них вводимый код подается поразрядно. Условное обозначение и схема сдвигового регистра на JK-триггерах (MS-типа)

приведены на рис.3.3а,б. Здесь информация, поступившая на информационный вход, по окончании каждого синхронизирующего импульса передается (“передвигается”) из предыдущего триггера в последующий.

Пусть требуется записать в регистр трехразрядное двоичное слово  $D=101$ , имеющее разряды  $D_1=1, D_2=0, D_3=1$  ( $D=D_1 | D_2 | D_3$ ).

При  $C=1$  в триггер  $T_1$  вводятся  $J_1=D_1$  и  $K_1=0$ . Поскольку JK-триггер с отдельными входами работает, как синхронный RS-триггер, по окончании синхронизирующего (тактового) импульса (при переходе от  $C=1$  к  $C=0$ ) на выходе триггера  $T_1$  появляется  $Q_1=1$ . Следовательно по окончании первого тактового импульса  $Q_1=D_1=1, Q_2=0, Q_3=0$ .

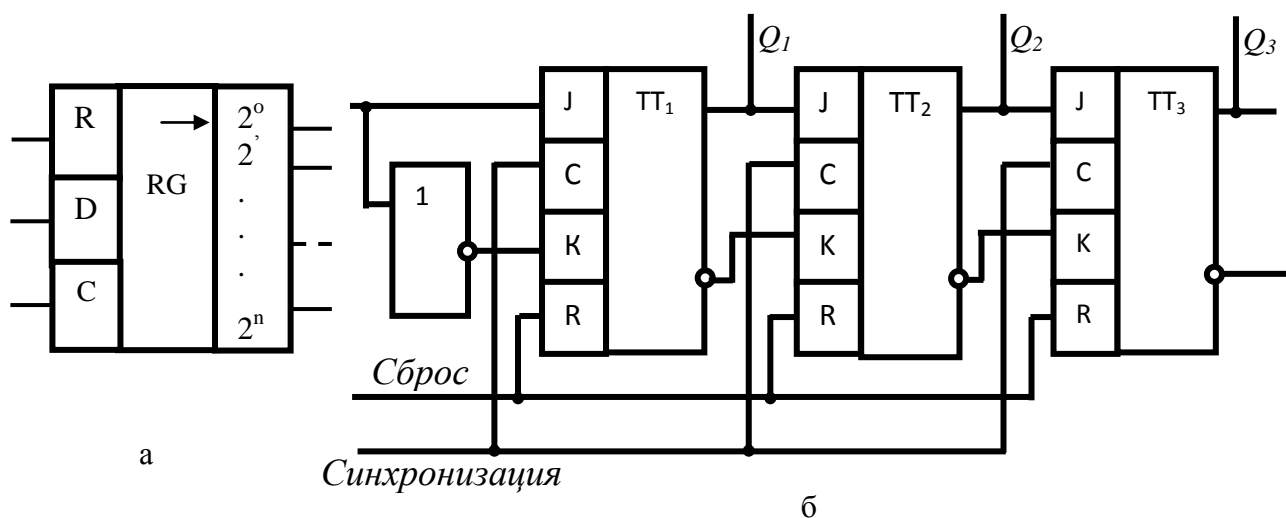


Рис.3.3. Сдвиговой или последовательный регистр на JK-триггерах  
а – условное обозначение; б- структурная схема

Затем на информационный вход регистра поступает второй разряд  $D_2=0$  слова  $D$ . При воздействии второго тактового импульса триггер  $T_2$  воспримет информацию с выхода первого триггера:  $J_2=Q_1=1, K_2=\bar{Q}_1=0$ . По окончании второго тактового импульса  $Q_2=D_1=1, \bar{Q}_2=\bar{D}_1=0$ , а первый триггер воспримет входную информацию регистра и на его выходе  $Q_1=D_2=0, \bar{Q}_1=\bar{D}_2=0$ . Таким образом, произошел сдвиг информации из

первого разряда во второй; точно так же по окончании третьего тактового импульса  $Q_3=D_1=1$ ,  $Q_2=D_2=0$ ,  $Q_1=D_3=1$  и все слово записано в регистр.

Считывать информацию из сдвигающего регистра можно либо в последовательном коде с выхода  $Q_3$ , продвигая информацию через все разряды регистра к выходу, либо в параллельном коде с выходов  $Q_1$ ,  $Q_2$ ,  $Q_3$ .

Среди регистров сдвига особую группу составляют реверсивные регистры сдвига с управляющим направлением сдвига. В таких регистрах с помощью дополнительно вводимых логических элементов внешним управляющим сигналом инвертируется последовательность соединения разрядов. Одна из областей применения реверсивных регистров - схемы умножителей и делителей. Это становится возможным, если учесть, что сдвиг двоичного числа на один разряд в зависимости от направления соответствует умножению или делению этого числа на два.

### **3.2. Счетчики импульсов**

Цифровым счетчиком импульсов называют устройство, реализующее счет числа входных импульсов и фиксирующее это число в каком-либо коде.

Различают суммирующий, вычитающий и реверсивный счетчики. У суммирующего счетчика число на выходе увеличивается на единицу, если на вход поступил импульс. Если входной импульс уменьшает число, хранимое в счетчике, на единицу, то такой счетчик - вычитающий. Реверсивный счетчик может работать как суммирующий, так и вычитающий.

Счетчик делится на разряды. Наибольшее число, которое может быть сосчитано счетчиком, называют модулем счета  $K_c \leq 2^n$ , где  $n$  - число разрядов счетчика. В исходное состояние счетчик возвращает  $(K_c+1)$ -й импульс. Обычно счетчик имеет дополнительные входы  $R$  установки



исходного состояния, а также входы  $S$ , позволяющие установить необходимое начальное число.

Трехразрядный двоичный счетчик, условное обозначение и схема простейшего двоичного трехразрядного цифрового счетчика импульсов приведены на рис.3.4а,б.  $CT_2$  обозначает двоичный счетчик. Счетчик состоит из трех последовательно соединенных Т-триггеров, имеющих вход  $R$  для установки в состояние «0».

На рис.3.4б показаны временные диаграммы счетчика, а изменение состояния счетчика приведено в таблице 3.1. Если в исходном положении все триггеры были в состоянии «0», то по окончании первого входного импульса триггер  $T_1$  перейдет в состояние «1» ( $x_0=1$ ).

По окончании второго входного импульса триггер  $T_1$  переходит в состояние «0» ( $x_0=0$ ), а триггер  $T_2$  переходит в состояние «1» ( $x_1=1$ ) и т.д. После восьмого входного импульса все триггеры переходят в состояние «0» и счет повторяется. Из таблицы видно, что состояние триггеров отражает число поступивших на вход счетчика импульсов в двоичном коде. Общее число возможных состояний в нашем случае  $N=2^3=8$ , выходы 1, 2, 4 - обозначения двоичных разрядов ( $2^0=1$ ,  $2^1=2$ ,  $2^2=4$ ), соответствующих выходам  $x_0$ ,  $x_1$ ,  $x_2$ ,  $S$  - счетный вход;  $R$  - установка нуля.

В последовательном счетчике последующий триггер управляется выходным сигналом предыдущего. Так как для срабатывания каждого триггера требуется определенное время, то момент срабатывания последующего триггера отстает от момента срабатывания предыдущего. В многоразрядных счетчиках накапливается значительная задержка момента срабатывания последнего триггера, которая ограничивает допустимый минимальный период следования импульсов счета.

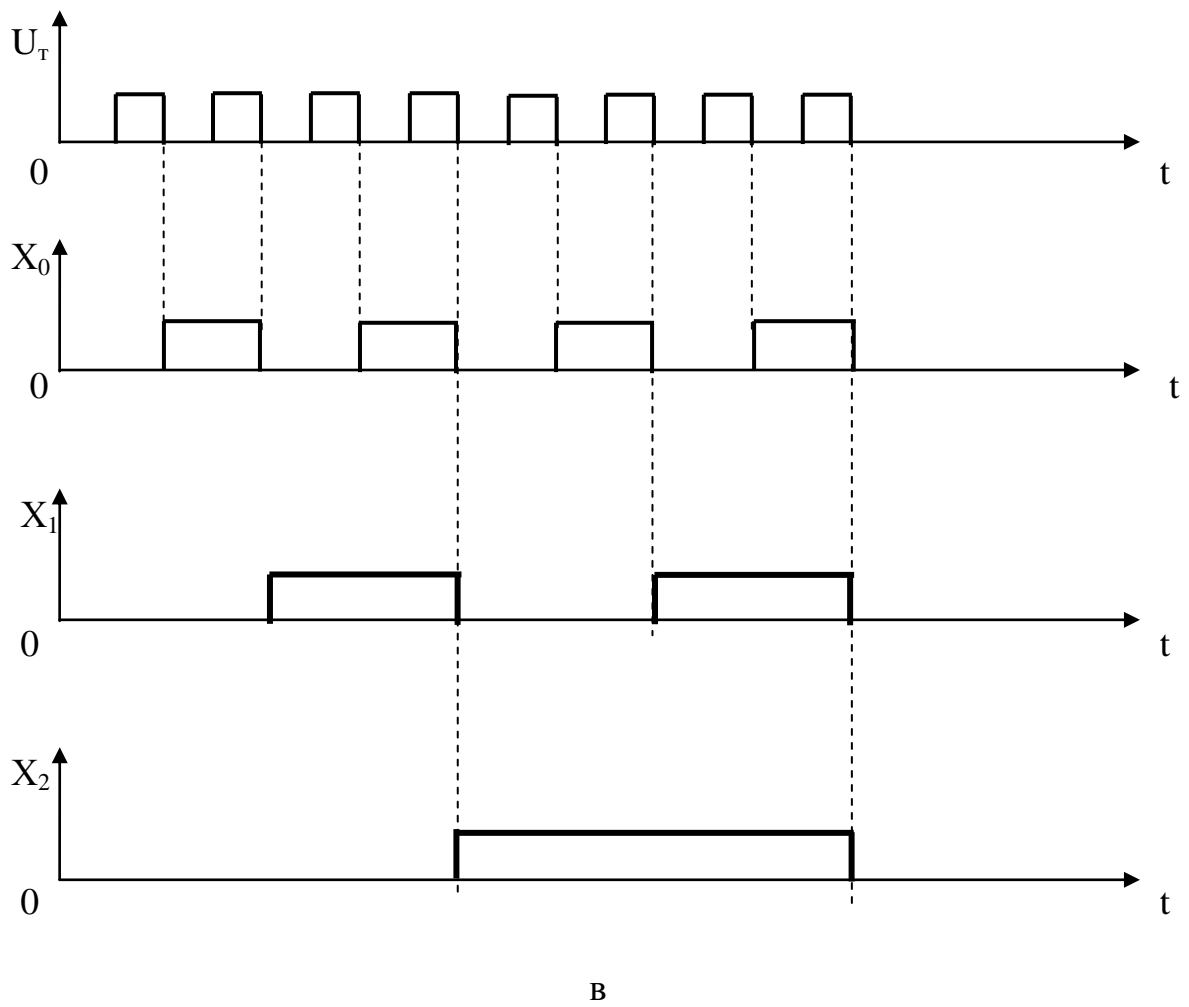
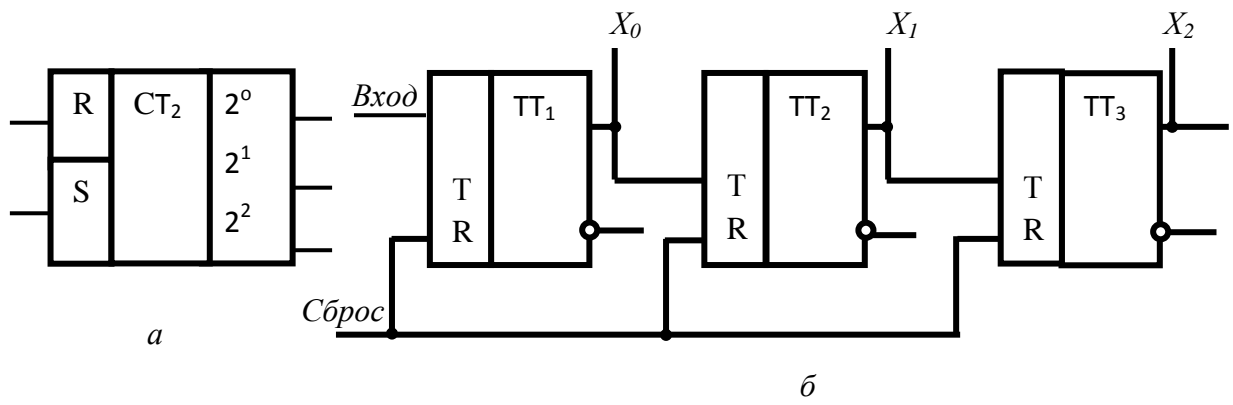


Рис.3.4. Двоичный счетчик (трехразрядный):  
 а – условное обозначение; б- структурная схема;  
 в – временные диаграммы

Таблица 3.1.

Номер выходного импульса	Состояние триггеров		
	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Десятичный счетчик. Для получения счетчика, работающего в десятичном коде, применяют обратные связи. На рис.3.5а,б приведены условное обозначение и функциональная схема десятичного (или декадного) счетчика импульсов на четырех триггерах. Состояние триггеров дано в таблице 3.2. С выхода триггера T<sub>4</sub> сигналы обратной связи поступают на входы S триггеров T<sub>2</sub>, T<sub>3</sub>. Благодаря этому после поступления на вход счетчика восьмого импульса на выходе триггера T<sub>4</sub> появляется сигнал «1», переводящий T<sub>2</sub> и T<sub>3</sub> в состояние «1».

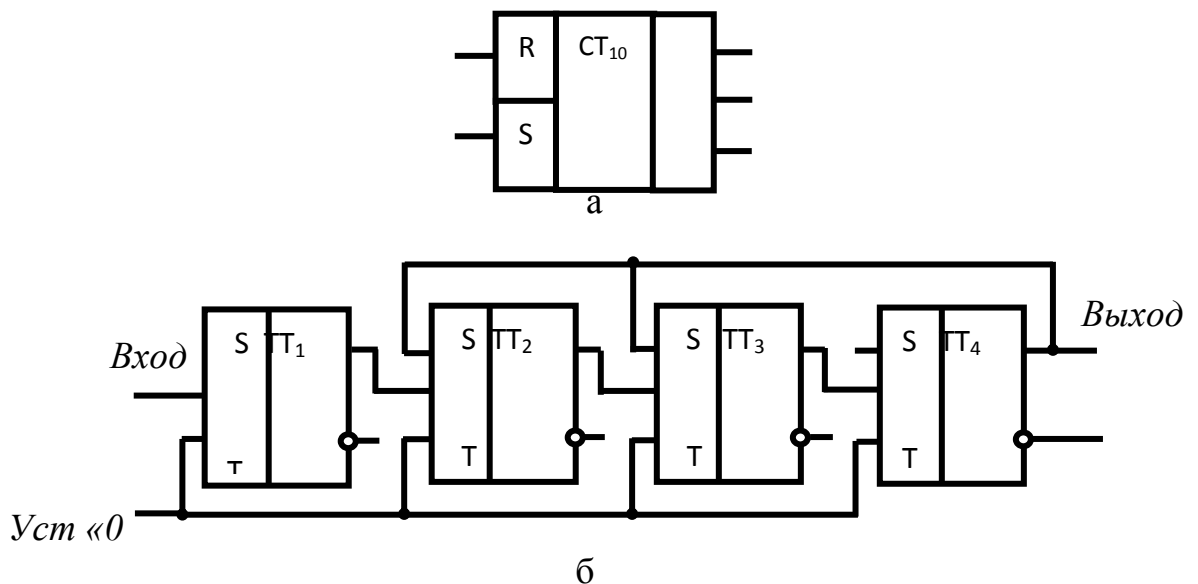


Рис.3.5. Десятичный счетчик:  
а – условное обозначение; б – структурная схема

Девятый импульс переводит  $T_1$  в состояние «1» и все импульсы оказываются в состоянии «1». Десятый импульс переводит все счетчики в состояние «0» и счетчик начинает работать снова.

Таблица 3.2.

Номер выходного импульса	Состояние триггеров			
	$T_1$	$T_2$	$T_3$	$T_1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0(1)	0(1)	0
9	1	1	1	1
10	0	0	0	0

### 3.3. Дешифраторы

Логические ИС, осуществляющие преобразование цифровой информации без запоминания, называются комбинационными. К ним относят дешифраторы, шифраторы, преобразователи кодов, сумматоры и арифметические устройства.

Дешифратором (декодером) называют устройство, предназначенное для распознавания различных кодовых комбинаций (слов).

Дешифратор представляет функциональный узел с  $M$  входами и  $N \leq 2^M$  выходами, «опознающий»  $M$ -разрядные наборы двоичных переменных  $x_M, \dots, x_1$  и в зависимости от входного набора выдающий сигнал логических «1» или «0» на одном из своих выходов. Условное обозначение дешифратора показано на рис.3.6.

Дешифраторы входят в состав исполнительной части цифрового устройства и в зависимости от входных величин (кода команды или адреса) формируют сигнал управления для других блоков устройства.

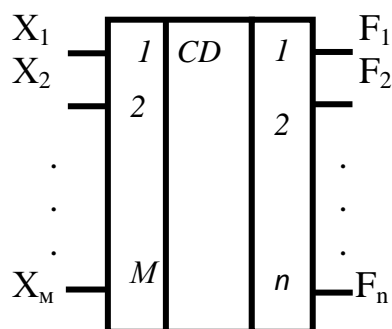


Рис.3.6. Условное обозначение дешифратора

В частности, дешифраторы используются в устройствах вывода цифровой информации для преобразования двоичных чисел в десятичные. В таблице 3.3 приведены значения выходных функций трехразрядного ( $M=3$ ) полного ( $n=2^M$ ) дешифратора. В таблице  $x_1, x_2, x_3$  - входные переменные  $F_8, F_7, \dots, F_1$  - выходы дешифратора. Выходные переменные могут быть представлены как логические функции от входных переменных  $F_i(x_1, x_2, x_3)$ .

$$F_8 = \bar{x}_1 \bar{x}_2 \bar{x}_3, \quad F_7 = x_1 \bar{x}_2 \bar{x}_3, \quad F_1 = x_1 x_2 x_3, \quad (3.1)$$

Таблица 3.3

Номер набора	$x_3$	$x_2$	$x_1$	$F_8$	$F_7$	$F_6$	$F_5$	$F_4$	$F_3$	$F_2$	$F_1$
1	0	0	0	1	0	0	0	0	0	0	0
2	0	0	1	0	1	0	0	0	0	0	0
3	0	1	0	0	0	1	0	0	0	0	0
4	0	1	1	0	0	0	1	0	0	0	0
5	1	0	0	0	0	0	0	1	0	0	0
6	1	0	1	0	0	0	0	0	1	0	0
7	1	1	0	0	0	0	0	0	0	1	0
8	1	1	1	0	0	0	0	0	0	0	1

Рассматриваемый дешифратор, как следует из аналитических соотношений, реализуется с применением логических инверторов НЕ и логических перемножителей И. Так как среди современных логических элементов нет элемента И, то его заменяют элементами НЕ и ИЛИ-НЕ. Типовые структурные схемы дешифраторов часто выполняют на элементах эмиттерно-связанной логики (ЭСЛ), имеющих два выхода:

инвертирующий и неинвертирующий. Схема такого дешифратора показана на рис.3.7.

Существуют дешифраторы, преобразующие входной код  $x$  в выходной код  $y$ , называемые преобразователями кодов, (например, преобразователи двоичного кода в двоично-десятичный и наоборот). В таких преобразователях каждому слову на входе соответствует определенное слово на выходе.

Дешифраторы находят разнообразное применение в вычислительной и информационно-измерительной технике. Одно из них - управление индикаторами, отображающими знаковую информацию.

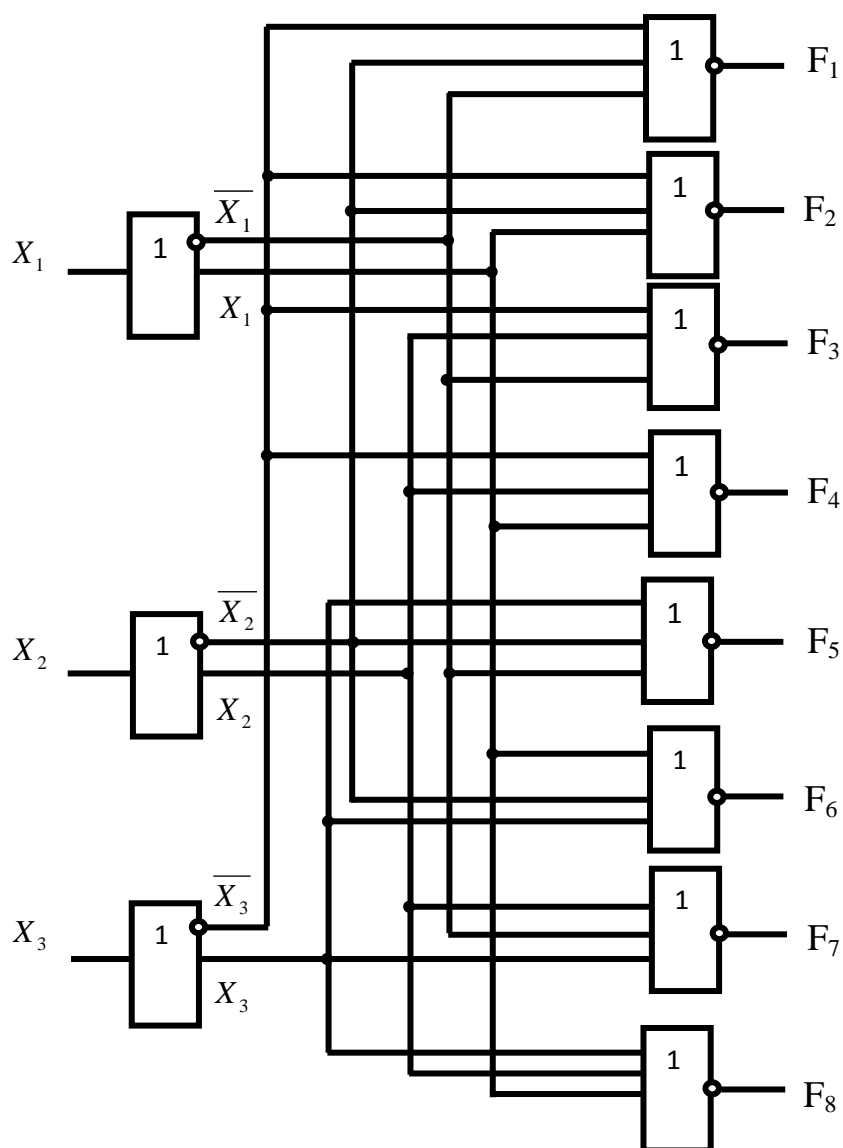


Рис.3.7. Схема дешифратора

На рис.3.8а представлена схема счета и отображения числа импульсов. Она состоит из: двоичного счетчика  $CT_2$ , который представляет число поступивших на его вход импульсов в двоичном коде, дешифратора  $C$ , управляющего транзисторными ключами на транзисторах  $VT_1, \dots, VT_7$ , семисегментного светодиодного индикатора  $VD_1, \dots, VD_7$ , обозначение которого показано на рис.3.8б.

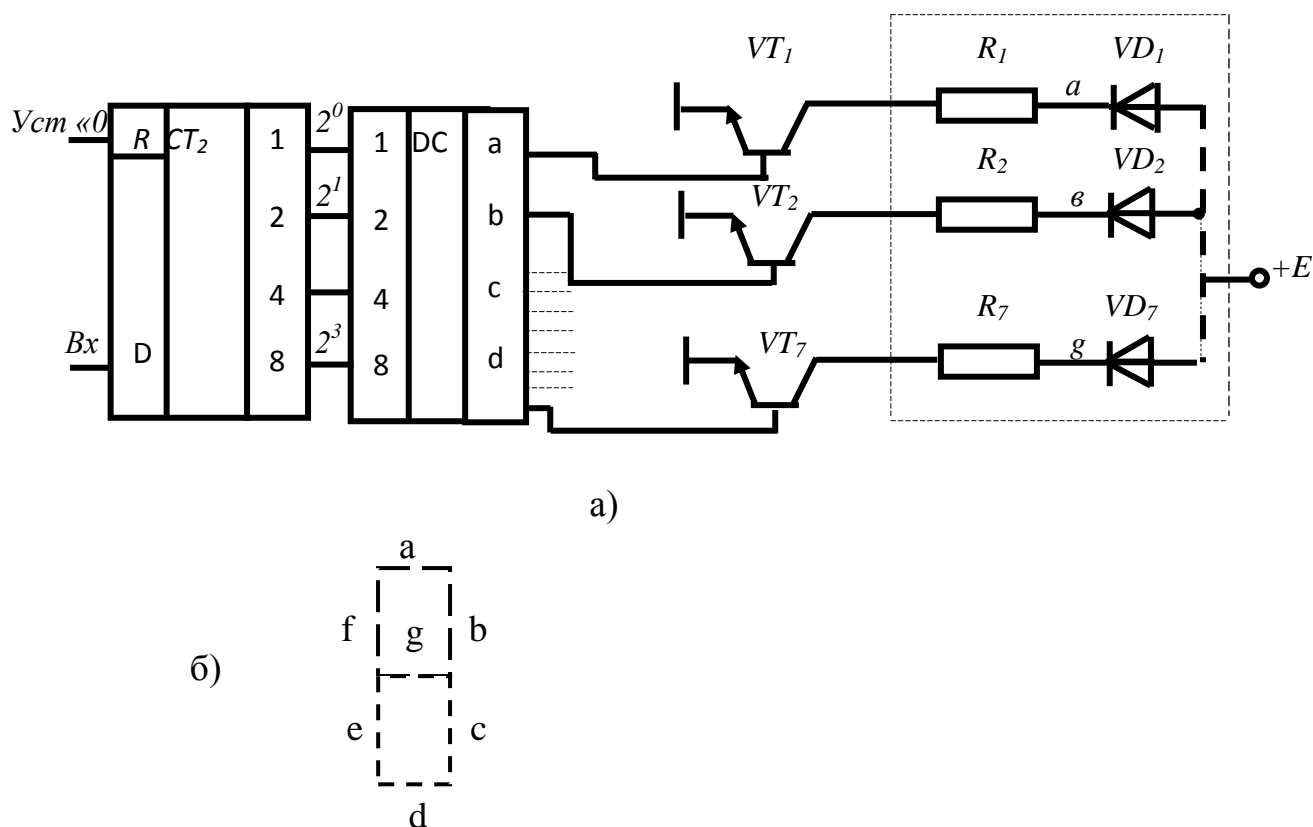


Рис.3.8. Применение дешифраторов для управления семисегментным знаковым индикатором: а – схема отображения числа импульсов в счетчике; б – размещение светодиодов семисегментного знакового индикатора

Таблица 3.4 иллюстрирует порядок функционирования двоично-десятичного семисегментного дешифратора.

Дешифраторы выпускаются в виде интегральных микросхем, например, преобразователи двоичного кода в десятичный К177ИД1 и К155ИД1. Последний позволяет подключить непосредственно к выходам катоды цифровых газоразрядных индикаторов ИН-16. Существуют микросхемы, объединяющие счетчик с дешифраторами, например К176ИЕ3 и К176ИЕ4,

предназначенные для управления семисегментными цифровыми индикаторами.

Таблица 3.4.

Цифра	Двоично-десятичный код				Семисегментный выход						
	$2^3$	$2^2$	$2^1$	$2^0$	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

### 3.4. Шифраторы

Шифратор - функциональный узел, выполняющий совокупность логических функций, обратных функциям дешифратора. Шифратор имеет  $n$  выходов и  $M < 2^n$  входов. Он преобразует сигнал «0» или «1», поступившие на один из  $M$  входов, в  $n$ -разрядный двоичный код - набор двоичных переменных  $F_1, \dots, F_n$ . Условное обозначение шифратора показано на рис.3.9.

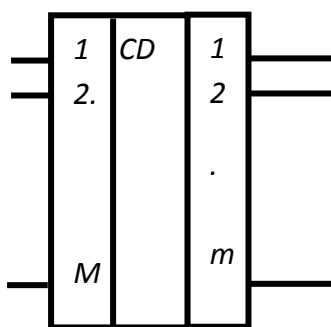


Рис.3.9. Условное обозначение шифратора

В качестве примера можно указать шифратор «из 10 в 4», предназначенный для преобразования десятичных чисел в двоичные, применяемый в устройствах ввода цифровой информации. Нажатием соответствующей клавиши 0, 1, ..., 9 на один из входов шифратора



подается сигнал «0». Очевидно, значение шифратора при числе входных переменных  $M=10$  можно получить  $2^{10}$  различных функций.

Таблица 3.5.

Десятичный знак	Входы										Выходы			
	$x_0$	$x_1$	$x_2$	$x_3$	$x_4$	$x_5$	$x_6$	$x_7$	$x_8$	$x_9$	$F_4$	$F_3$	$F_2$	$F_1$
0	0	1	1	1	1	1	1	1	1	1	0	0	0	0
1	1	0	1	1	1	1	1	1	1	1	0	0	0	1
2	1	1	0	1	1	1	1	1	1	1	0	0	1	0
3	1	1	1	0	1	1	1	1	1	1	0	0	1	1
4	1	1	1	1	0	1	1	1	1	1	0	1	0	0
5	1	1	1	1	1	0	1	1	1	1	0	1	0	1
6	1	1	1	1	1	1	0	1	1	1	0	1	1	0
7	1	1	1	1	1	1	1	0	1	1	0	1	1	1
8	1	1	1	1	1	1	1	1	0	1	1	0	0	0
9	1	1	1	1	1	1	1	1	1	0	1	0	0	1

В рассматриваемом шифраторе используется только десять различных наборов входных переменных (таблица 3.5). Остальные исключаются тем, что две (и больше) клавиши не нажимаются.

По единицам записанная структурная формула функции  $F_4$  имеет вид:

$$F_4 = x_0 x_1 x_2 x_3 x_4 x_5 x_6 x_7 \bar{x}_8 x_9 + x_1 x_2 x_3 x_4 x_5 x_6 x_7 x_8 \bar{x}_9 = \bar{x}_8 + \bar{x}_9 = \overline{x_8 x_9},$$

$$F_3 = x_0 x_1 x_2 x_3 \bar{x}_4 x_5 x_6 x_7 x_8 x_9 + x_0 x_1 x_2 x_3 x_4 \bar{x}_5 x_6 x_7 x_8 x_9 + x_0 x_1 x_2 x_3 x_4 x_5 \bar{x}_6 x_7 x_8 x_9 + x_0 x_1 x_2 x_3 x_4 x_5 x_6 \bar{x}_7 x_8 x_9 = \overline{x_4 x_5 x_6 x_7},$$

$$F_2 = x_0 x_1 \bar{x}_2 x_3 x_4 x_5 x_6 x_7 x_8 x_9 + x_0 x_1 x_2 \bar{x}_3 x_4 x_5 x_6 x_7 x_8 x_9 + x_0 x_1 x_2 x_3 \bar{x}_4 x_5 x_6 x_7 x_8 x_9 + x_0 x_1 x_2 x_3 x_4 \bar{x}_5 x_6 x_7 x_8 x_9 = \overline{x_2 x_3 x_6 x_7},$$

$$F_1 = x_0 \bar{x}_1 x_2 x_3 x_4 x_5 x_6 x_7 x_8 x_9 + x_0 x_1 x_2 \bar{x}_3 x_4 x_5 x_6 x_7 x_8 x_9 + x_0 x_1 x_2 x_3 \bar{x}_4 x_5 x_6 x_7 x_8 x_9 + x_0 x_1 x_2 x_3 x_4 \bar{x}_5 x_6 x_7 x_8 x_9 + x_0 x_1 x_2 x_3 x_4 x_5 \bar{x}_6 x_7 x_8 x_9 + x_0 x_1 x_2 x_3 x_4 x_5 x_6 \bar{x}_7 x_8 x_9 + x_0 x_1 x_2 x_3 x_4 x_5 x_6 x_7 \bar{x}_8 x_9 + x_0 x_1 x_2 x_3 x_4 x_5 x_6 x_7 x_8 \bar{x}_9 = \overline{x_1 x_3 x_5 x_7 x_9}. \quad (3.2)$$

Логические функции  $F_1$ - $F_4$  реализуются на элементах И-НЕ по схеме, представленной на рис.3.10.

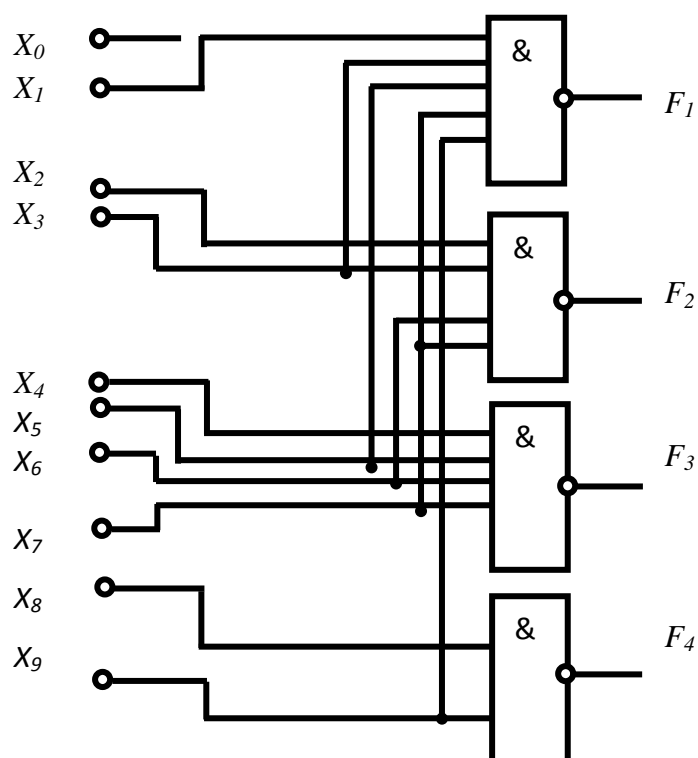


Рис.3.10. Структурная схема шифратора на элементах И-НЕ

### 3.5. Преобразователи кода

Преобразователь кода - это функциональный узел, осуществляющий преобразование  $M$ -разрядного кода в  $n$ -разрядный. Рассмотренные выше дешифратор и шифратор представляют собой простейшие преобразователи кодов. Более сложный преобразователь кода получается, если выходы дешифратора соединяются с входами шифратора (рис.3.11). Например, преобразователь  $M$ -разрядного двоичного кода в  $n$ -разрядный десятичный код. Такие преобразователи применяются в устройствах вывода информации на ЭВМ.

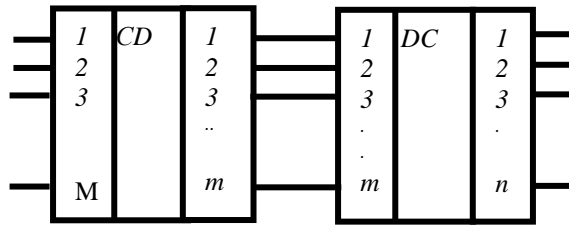


Рис.3.11. Преобразователь кода из М-разрядного в n-разрядный

### 3.6. Мультиплексоры

Мультиплексором называется функциональный узел, осуществляющий объединение нескольких входных цифровых потоков данных в один выходной поток. Мультиплексоры применяются, когда нужно уплотнить линии связи, то есть когда по одной линии нужно передать цифровые сигналы, получаемые от нескольких источников.

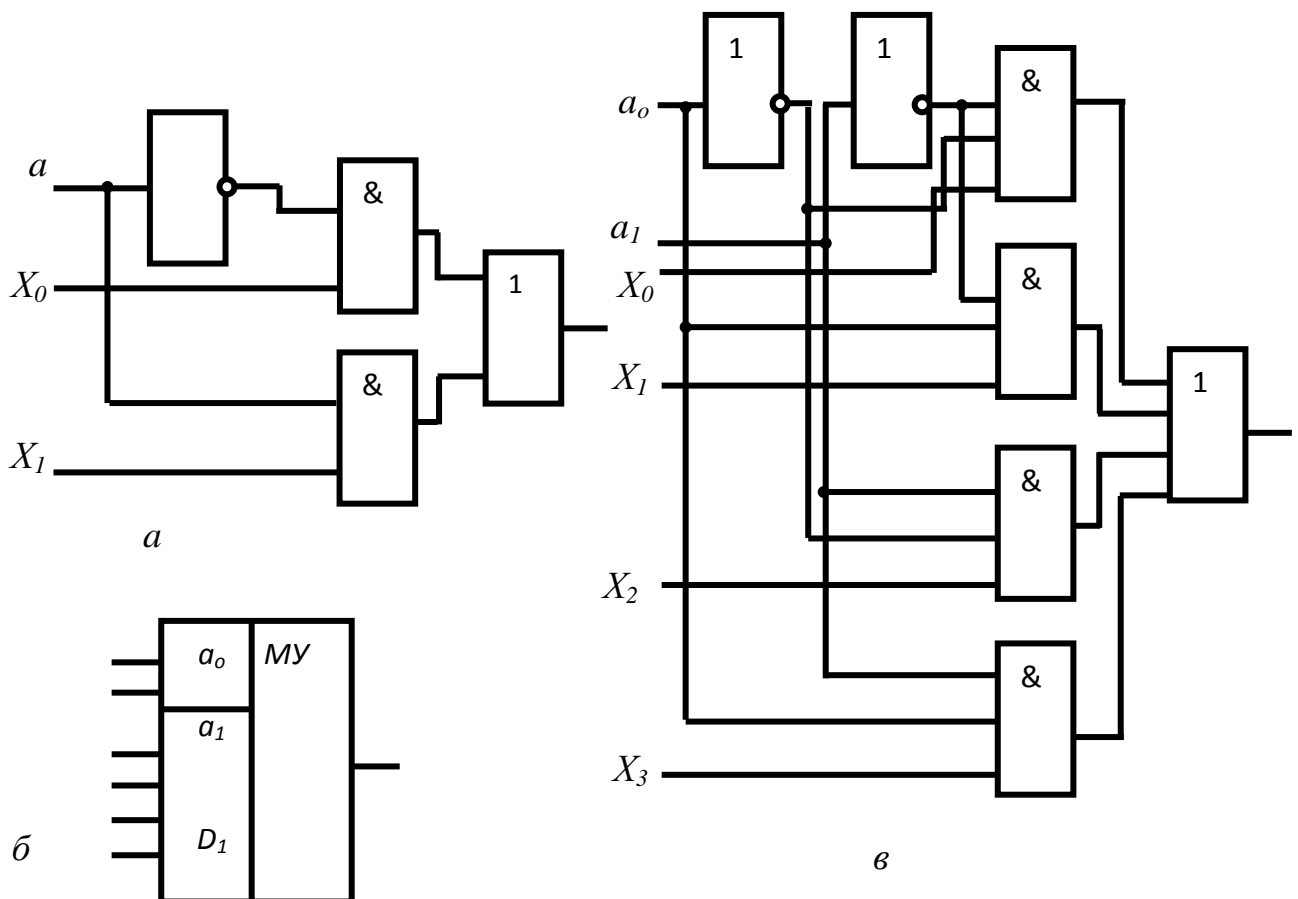


Рис.3.12. Мультиплексоры:  
схемы мультиплексора с двумя информационными входами (а),  
четырьмя информационными входами (б), условное обозначение (в)

На рис.3.12а приведена схема мультиплексора с двумя информационными входами ( $x_0, x_1$ ) и управляющим (адресным) входом  $a$ . При  $a=1$  на выход передается значение  $x_1$ , а при  $a=0$  - значение  $x_0$ .

На рис.3.12б,в приведены схемы и условные обозначения мультиплексора на четырех входах ( $x_0-x_3$ ). Она имеет два адресных входа  $a_0$  и  $a_1$ .

Из рис.3.12б следует, что

$$F = \overline{a_1} \overline{a_0} x_0 + \overline{a_1} a_0 x_1 + a_1 \overline{a_0} x_2 + a_1 a_0 x_3. \quad (3.3)$$

Если  $a_1=1, a_0=0$ , то  $F = 0 1 x_0 + 0 0 x_1 + 1 1 x_2 + 1 0 x_3 = x_2$ .

Двухразрядное двоичное число  $A=(a_1/a_0)$  - адрес входа мультиплексора. При  $a_1=1, a_0=0$  получаем двоичное число 10, равное 2 в двоичном коде. В данном случае 2 - номер опрашиваемого входа.

Нетрудно проверить, что при  $A=11$  (число 3 в двоичном коде)  $F=x_3$ .

Мультиплексоры выпускают в виде микросхем, например К155КП1 (16-канальный мультиплексор 16 x 1).

### 3.7. Демультимплексоры

Демультимплексор - функциональный узел, осуществляющий разделение на отдельные составляющие составного информационного потока, полученного с помощью мультиплексора. Демультимплексор в соответствии с принятым адресом направляет информацию на один из выходов. На остальных выходах поддерживается сигнал «0». Схема демультимплексора «из 1 в 4», реализованная на элементах ИЛИ-НЕ, показана на рис.3.13.

Сигнал «1» появляется на выходе элемента ИЛИ-НЕ, если на его входах все сигналы «0». Поэтому входной двоичный сигнал  $x$  попадает на выход того логического элемента  $DD_i$ , на входы которого подаются адресные сигналы «0», «0».

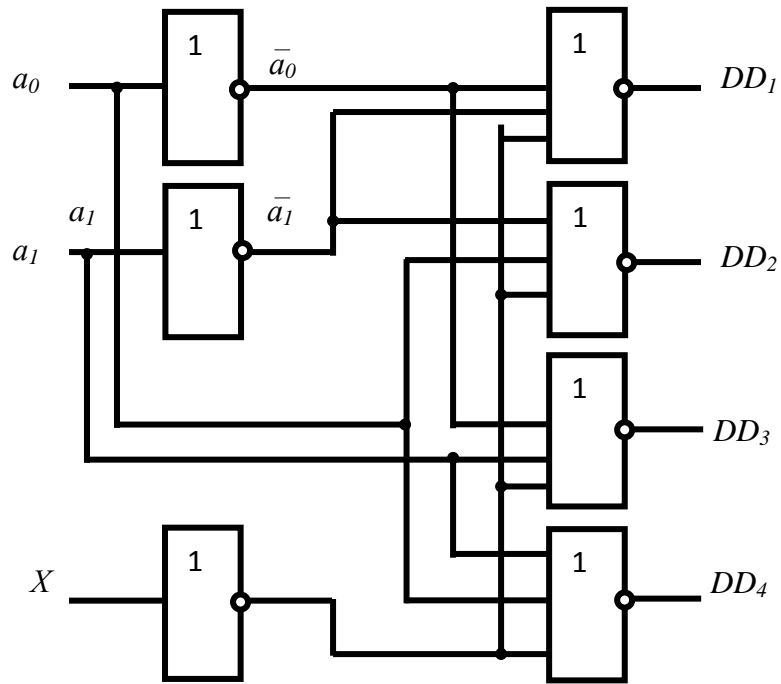


Рис.3.13. Структурная схема демультиплектора

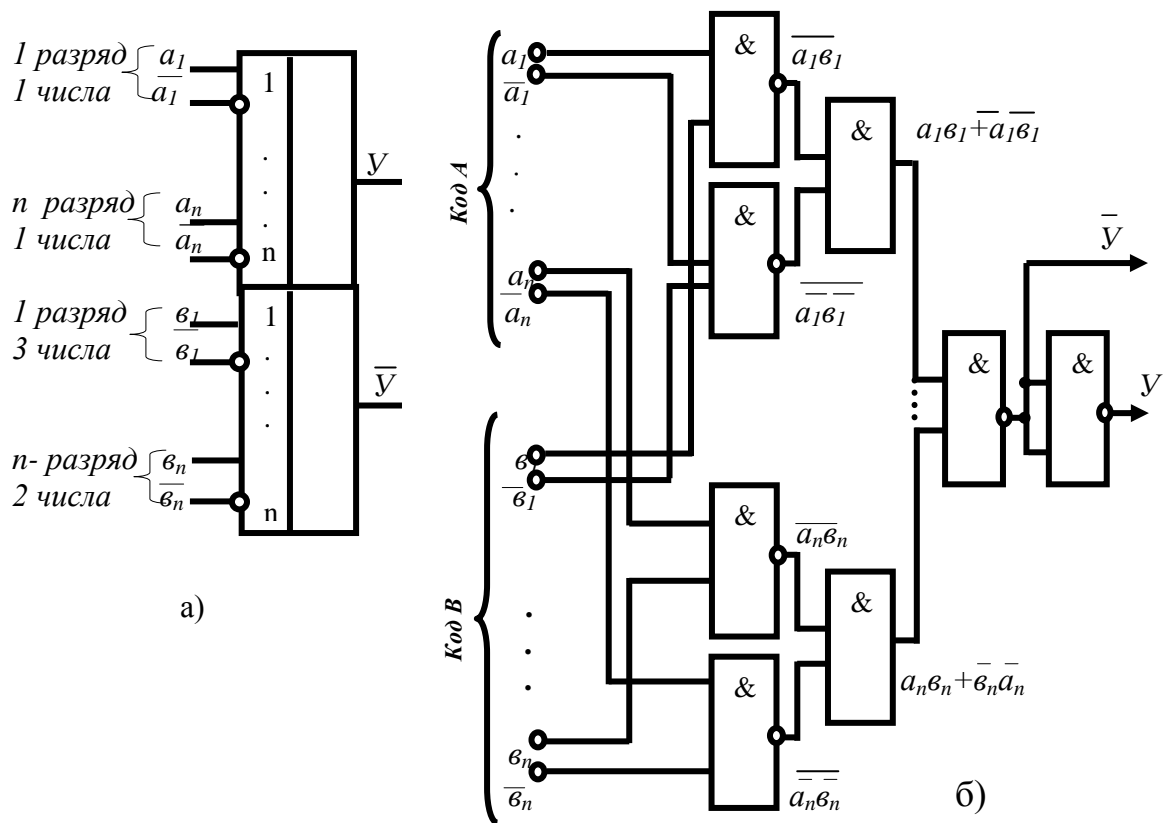
### 3.8. Устройства сравнения кодов

Устройства сравнения двоичных кодов предназначены для выработки выходного сигнала в случае, когда поступающие на вход устройства коды двух чисел оказываются одинаковыми. Условное обозначение устройства сравнения кодов показано на рис.3.14а.

Устройство содержит две группы шин: шины  $\{a_i\}$  и  $\{\bar{a}_i\}$  используют для подачи кода (и обратного кода) первого числа  $A$ ; шины  $\{v_i\}$  и  $\{\bar{v}_i\}$  - для подачи кода (и обратного кода) второго числа  $B$ , которые представлены в виде

$$\begin{aligned}
 A &= a_n \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \dots + a_i \cdot 2^i + \dots + a_1 \cdot 2^1 + a_0 \cdot 2^0, \\
 B &= v_n \cdot 2^{n-1} + v_{n-2} \cdot 2^{n-2} + \dots + v_i \cdot 2^i + \dots + v_1 \cdot 2^1 + v_0 \cdot 2^0.
 \end{aligned}
 \tag{3.4}$$

Числа считаются равными, если разрядные коэффициенты первого и второго чисел одинаковы  $a_i = v_i$ . Для  $i$ -го разряда указанные равенства можно привести к одному  $\overline{a_i v_i + a_i \bar{v}_i} = 1$ .



3.14. Устройство сравнения кодов:  
а – условное обозначение; б – структурная схема

Так как это равенство справедливо для всех разрядов, то выходной сигнал  $y$  можно представить в виде логической функции

$$y = (a_1 v_1 + \overline{a_1 v_1})(a_2 v_2 + \overline{a_2 v_2}) \dots (a_n v_n + \overline{a_n v_n}), \quad (3.5)$$

где  $n$  - число разрядов.

На рис.3.14б показана схема устройства сравнения кодов на элементах И-НЕ.

Учитывая, что  $y_1 = a_1 v_1 + \overline{a_1 v_1} = \overline{a_1 v_1} \cdot \overline{\overline{a_1 v_1}}$ , эта величина реализуется

$y_1, y_2, y_3$ , а  $y \approx \prod_{i=1}^n y_i$  реализуется элементами  $y_4, y_5$ .

Сигнал на выходе  $y_5$  будет равен единице только в том случае, если все разрядные коэффициенты  $a_i = v_i$  в каждом из  $n$  разрядов.

### 3.9. Полусумматоры

Полусумматор - функциональный узел, осуществляющий сложение двух одноразрядных чисел  $x_1$  и  $x_2$ . Когда  $x_1=x_2=1$ ,  $x_1+x_2=10$ , т.е. сумма является двоичным двухразрядным числом. Поэтому полусумматор имеет два выхода, на один из которых  $S$  выдается сумма по модулю 2 чисел  $x_1$  и  $x_2$ , а на другой -  $C$  перенос в старший разряд. Условное обозначение полусумматора приведено на рис.3.15а.

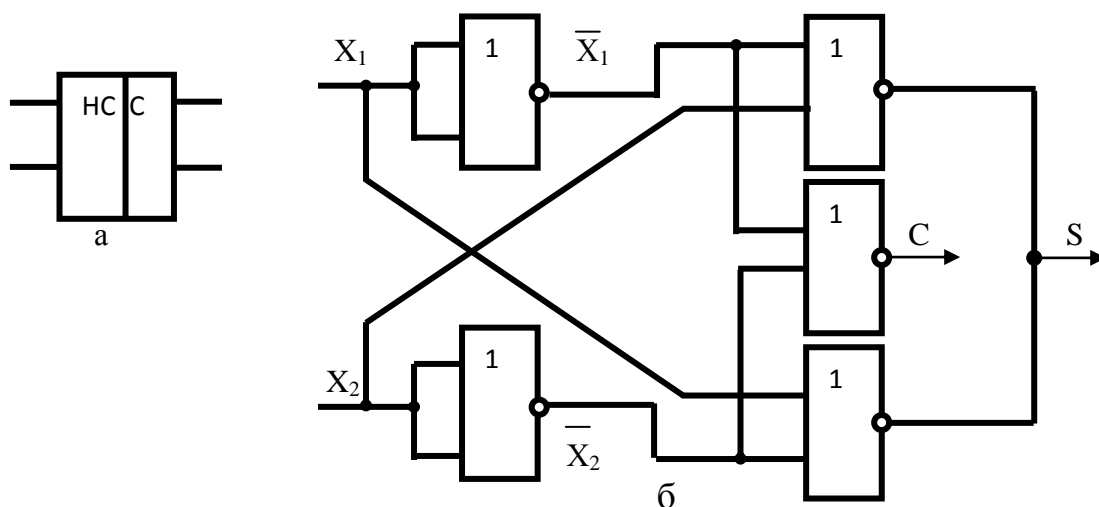


Рис.3.15. Полусумматор:

а – условное обозначение; б – структурная схема

Значения выходных чисел  $S$  и  $C$  в зависимости от входных  $x_1$  и  $x_2$  представлены в таблице 3.6 состояний полусумматора

Таблица 3.6.

$x_1$	$x_2$	$S$	$C$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Структурные формулы, записанные как дизъюнктивные нормальные формы переноса  $C$  и  $S$ , имеют вид

$$C = x_1x_2, \quad S = \overline{x_1}x_2 + x_1\overline{x_2} = x_1 \oplus x_2. \quad (3.6)$$

Для реализации на распространенных элементах ИЛИ-НЕ выражения для  $C$  и  $S$  можно переписать в виде

$$C = \overline{x_1 x_2} = \overline{x_1} + \overline{x_2}, \quad S = \overline{\overline{x_1} x_2} + \overline{x_1 \overline{x_2}} = \overline{x_1} + \overline{x_2} + \overline{x_1} + x_2. \quad (3.7)$$

Реализация сумматора, осуществляющего суммирование по формулам (3.6) на элементах ИЛИ-НЕ, показана на рис.3.15б.

В этой схеме логическая функция ИЛИ реализована объединением выходов логических элементов DD1 и DD2. Такая возможность существует при использовании элементов ТТЛ и И<sup>2</sup>Л.

### 3.10. Сумматоры

Сумматор - функциональный узел, осуществляющий сложение двух многоразрядных двоичных чисел. Условное обозначение сумматора и его структуры показаны на рис.3.16а,б.

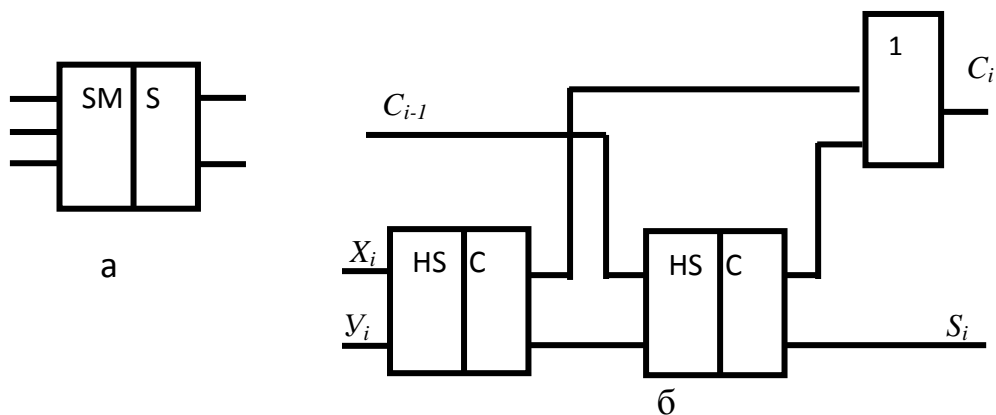


Рис.3.16. Сумматор:  
а – условное обозначение; б - структурная схема

Сложение многоразрядных чисел осуществляется поразрядно с переносом между разрядами. Основным узлом многоразрядного сумматора является комбинационный одnorазрядный сумматор, осуществляющий сложение двух чисел  $i$ -го разряда  $x_i$  и  $y_i$ , к полученной сумме добавляет перенос из  $(i-1)$  разряда в  $i$ -й  $C_i$ . Так как сумма трех одnorазрядных чисел выражается двухразрядным двоичным числом, то одnorазрядный



сумматор на один выход выдает сумму  $S_i$  по модулю 2, а на другой выход  $C_i$  перенос в старший  $(i+1)$  разряд.

Состояния одноразрядного сумматора представлены в таблице 3.7

Таблица 3.7.

$x_i$	$y_i$	$C_i$	$S_i$	$C_{i+1}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Многоразрядные сумматоры собирают из одноразрядных. Простейший сумматор с последовательным переносом реализуется по схеме, представленной на рис.3.17.

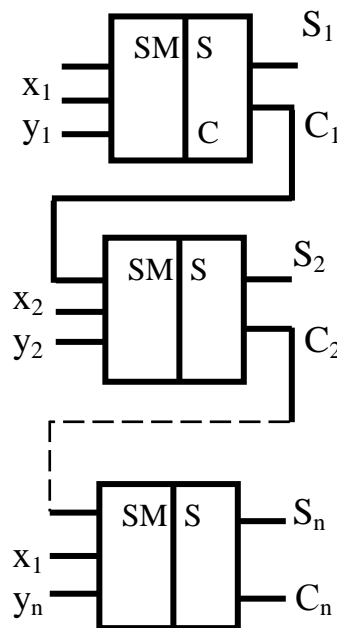


Рис.3.17. Многоразрядный сумматор с последовательным переносом

Многоразрядные сумматоры собирают из одноразрядных. Простейший сумматор с последовательным переносом реализуется по схеме, представленной на рис.3.17.

Вычитание одного двоичного числа из другого выполняют также с помощью сумматора. При этом используется свойство двоичных чисел, заключающееся в том, что разность двоичных чисел равна сумме одного числа с дополнительным кодом другого.

Дополнительный код  $n$ -разрядного двоичного числа дополняет данное число до  $2^n$  и находится путем его инвертирования и добавления единицы младшего разряда. Например, дополнительный код числа 1001 равен -0111. Очевидно  $1001+0111 = 10000=2^4$ .

## **Глава 4. Преобразование непрерывных величин в дискретные**

### **4.1. Основы преобразования непрерывных величин в дискретные**

Быстрое развитие цифровой вычислительной техники, различных специализированных цифровых устройств, обладающих высоким быстродействием и большой информационной емкостью, определяет перспективность обработки различной информации на цифровой основе.

Основная часть метеорологической информации является аналоговой, представляющей собой непрерывные (и, как правило, медленно меняющиеся) функции времени.

При цифровой обработке информации подлежащую обработке аналоговую (непрерывную) функцию  $f(t)$  предварительно необходимо преобразовать в цифровой код. Это означает, что непрерывную функцию надо представить рядом ее значений, взятых через некоторый интервал времени, а сами значения измерить в заданном масштабе и представить цифровым кодом.

Эта операция выполняется подобно тому, как поступаем мы, строя непрерывную функцию по точкам. Сначала весь временной интервал существования функции разбиваем на ряд временных отрезков. Затем вычисляем с доступной нам точностью или берем из таблицы значения функции в выбранные моменты времени и наносим их на поле графика (рис.4.1).

После этого точки соединяем плавной кривой. Такой прием графического построения непрерывной функции основан на том, что при разумном выборе точек  $t_i$  информация, содержащаяся в исходной функции, сохраняется.

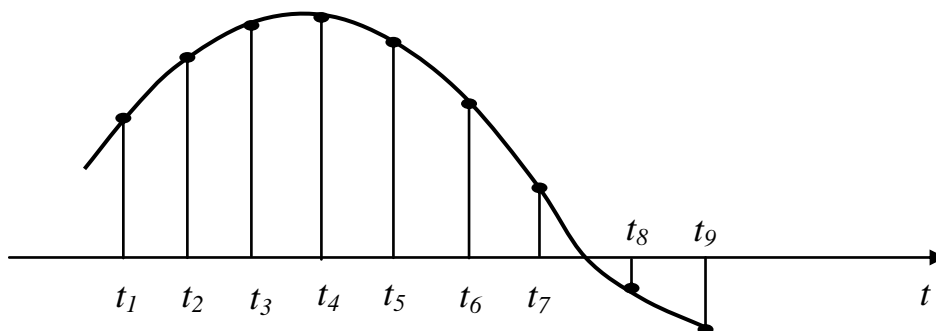


Рис.4.1. Дискретизация функции по времени

## 4.2. Теорема Котельникова

Наиболее распространен способ преобразования аналогового сигнала в цифровой, основанный на дискретизации сигнала по времени и квантования по уровню.

Дискретизация - процесс, при котором сигнал  $u(t)$  заменяется последовательностью коротких импульсов - отсчетов  $u(k\Delta t) = u(k)$ .

Величина  $n$ -го отсчета равна значению дискретизируемого сигнала в момент времени  $t = k\Delta t$ . Такую дискретизацию осуществляют с помощью амплитудно-импульсного модулятора, на один вход которого подается подлежащий дискретизации аналоговый сигнал  $U(t)$ , на другой - последовательность коротких импульсов  $U(t)$  (рис.4.2).

Точность представления аналогового сигнала последовательностью отсчетов зависит от расстояния между отсчетами. Решение по выбору отсчетов дает теорема Котельникова В.А.

Сигнал с ограниченным спектром можно точно восстановить по его отсчетам, взятым через интервал времени  $\Delta t \leq 1/2 F_{\max}$ , где:

$F_{\max}$  - максимальная частота спектра сигнала. Это восстановление осуществляется в соответствии с алгоритмом:

$$U(t) = \sum_{k=-\infty}^{\infty} U(k\Delta t) \frac{\sin 2\pi F_0(t - k\Delta t)}{2\pi F_0(t - k\Delta t)}, \quad (4.1)$$

где  $F_0 = 1/2\Delta t \geq F_{\max}$ . Ряд называется рядом Котельникова.

Весовые функции этого ряда  $\gamma_k = \frac{\sin 2\pi F_0(t - k\Delta t)}{2\pi F_0(t - k\Delta t)}$ , представляют импульсно-переходные функции идеального фильтра нижних частот с полосой пропускания  $F_0$ . Поэтому при восстановлении аналогового сигнала  $U(t)$  последовательность дискретных отсчетов подается на вход фильтра нижних частот.

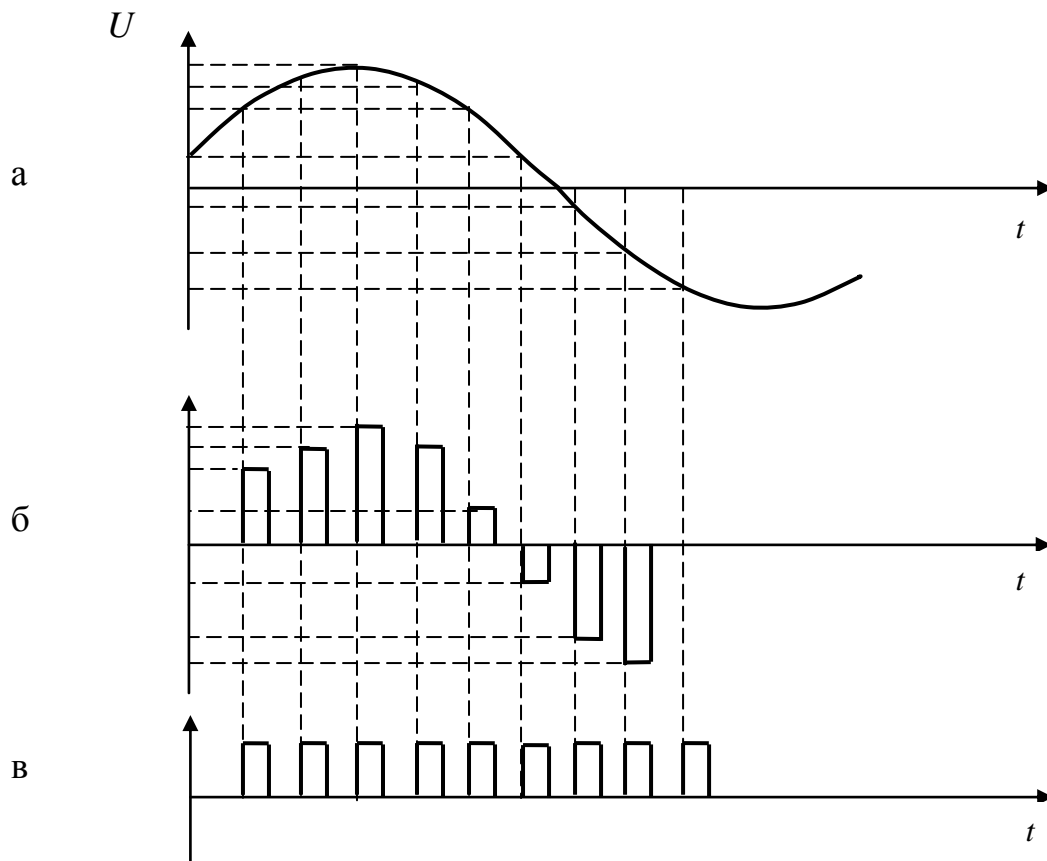


Рис.4.2. Дискретизация непрерывных функций амплитудно-импульсным модулятором: а – непрерывная функция; б – выходной сигнал модулятора; в – последовательность тактовых импульсов

Пусть сигнал, описываемый непрерывной функцией времени  $U(t)$ , имеет ограниченный спектр, т.е. преобразование Фурье

$$S(\omega) = \int_{-\infty}^{\infty} u(t)e^{j\omega t} dt \quad (4.3)$$

удовлетворяет условию

$$S(\omega) = 0, \quad |\omega| > \omega_m. \quad (4.4)$$

Тогда при представлении сигнала интегралом Фурье пределы интегрирования можно ограничить значениями  $(-\omega_m, \omega_m)$ :

$$u(t) = \frac{1}{2\pi} \int_{-\omega_m}^{\omega_m} S(\omega)e^{j\omega t} d\omega. \quad (4.5)$$

Рассматривая спектральную плотность (4.3) как функцию частоты, период которой равен величине  $2\omega_m$ , можно разложить эту функцию в ряд Фурье на интервале  $[-\omega_m, \omega_m]$

$$S(\omega) = \sum_{k=-\infty}^{\infty} C_k e^{j\pi \frac{\omega}{\omega_m} k}, \quad (4.6)$$

где коэффициенты разложения

$$C_k = \frac{1}{2\omega_m} \int_{-\omega_m}^{\omega_m} S(\omega) e^{-j\pi k \frac{\omega}{\omega_m}} d\omega. \quad (4.7)$$

Сравнивая (4.5) и (4.7), нетрудно получить

$$C_k \frac{\omega_m}{\pi} = u\left(-\frac{\pi k}{\omega_m}\right), \quad (4.8)$$

т.е.

$$C_k = \frac{\pi k}{\omega_m} u(-k\Delta t) = \Delta t u(-k\Delta t), \quad (4.9)$$

где  $\Delta t = \pi/\omega_m$ .

Подставляя (4.9) в (4.6) и далее в (4.5), получаем

$$u(t) = \frac{1}{2\pi} \int_{-\omega_m}^{\omega_m} d\omega \sum_{k=-\infty}^{\infty} \Delta t e^{j\omega \Delta t} u(-k\Delta t). \quad (4.10)$$

Изменим знак при К, тогда

$$u(t) = \frac{\Delta t}{2\pi} \sum_{k=-\infty}^{\infty} u(k\Delta t) \int_{-\omega}^{\omega} e^{j\omega(t-k\Delta t)} d\omega, \quad (4.11)$$

учитывая, что

$$\int_{-\omega}^{\omega} e^{j\omega(t-k\Delta t)} d\omega = 2\omega_m \frac{\sin \omega_m(t-k\Delta t)}{\omega_m(t-k\Delta t)}, \quad (4.12)$$

$$u(t) = \sum_{k=-\infty}^{\infty} u(k\Delta t) \frac{\sin \omega_m(t-k\Delta t)}{\omega_m(t-k\Delta t)}. \quad (4.13)$$

Таким образом, непрерывная функция  $u(t)$  с ограниченным спектром может быть точно представлена отсчетами функции  $u(k\Delta t)$ , взятыми через интервалы  $\Delta t$ .

Представление функции рядом Котельникова иллюстрируется на рис.4.3.

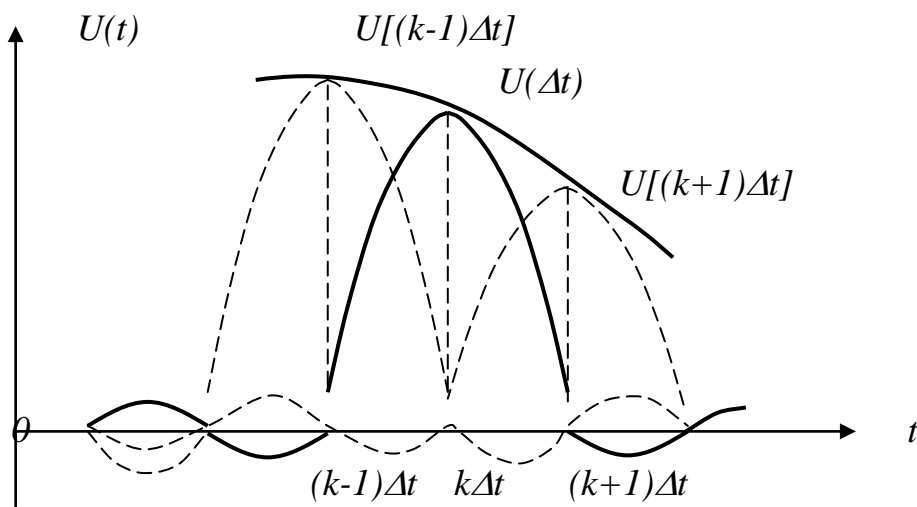


Рис.4.3. Представление функций рядом Котельникова

Реальные сигналы, являющиеся носителями информации, имеют конечную длительность. Спектр таких сигналов неограничен и применение теоремы Котельникова к реальным сигналам связано с погрешностями при восстановлении сигналов по формуле (4.13). На практике частоту отсчетов часто определяют по формуле

$$F_0 = k2F_{\max},$$

где  $k$  - коэффициент запаса, обычно  $1,5 \leq k \leq 6$ , а  $F_{\max}$  - принятая «максимальная» частота в спектре сигнала  $u(t)$ , например, с учетом доли полной энергии, сосредоточенной в ограниченном частотой  $F_{\max}$  спектре сигнала.

### 4.3. Квантование по уровню

Для кодирования полученных значений функции весь интервал ее изменения разбивают на конечное число фиксированных уровней. А затем действительное значение отсчета функции заменяют значением ближайшего к нему нижнего или ближайшего верхнего, или вообще ближайшего фиксированного уровня. Процедура замены действительного значения отсчета функции значением фиксированного уровня называется квантованием по уровню. Интервал  $\Delta$ , на который отстоят два соседних уровня друг от друга, называется интервалом квантования.

Число уровней квантования (или интервал квантования) зависят от необходимой точности воспроизведения исходной функции. Здесь также приходится учитывать реальный объем памяти и быстродействие устройства обработки информации. В некоторых случаях достаточно квантовать на два уровня. Например, карта погоды, составленная по данным метеорологического спутника, изображена черными линиями по белому полю. Для ее передачи исходное сообщение достаточно подвергнуть квантованию всего на два уровня: уровень белого и уровень черного. Телевизионное изображение получается удовлетворительным при квантовании его на четыре уровня. В телеметрических системах, где требуется высокая точность воспроизведения исходной функции, число уровней квантования может быть весьма большим.

Таким образом, действительное значение отсчета исходной функции заменяется номером ближайшего фиксированного уровня. А номер уровня - это число, которое может быть закодировано одним из известных

способов, в частности таким, на основе которого работает цифровое устройство.

Диапазон входного напряжения от  $V_{\min}$  до  $V_{\max}$  делится  $2^n$  интервалов. Ширина интервала называется шагом квантования.

$$\Delta = \frac{V_{\max} - V_{\min}}{2^n}. \quad (4.14)$$

Каждому интервалу присваивается разрядный (двоичный) код. К-ому отсчету сигнала присваивается код того интервала, в который попадает значение напряжения этого отсчета.

Квантование сигнала вносит систематическую погрешность.

Максимальная величина этой погрешности не превышает половины шага квантования. При постоянном шаге квантования погрешность

$$\Delta u \leq 0,5\Delta. \quad (4.15)$$

Если цифровой сигнал  $u(k)$  преобразуется обратно в аналоговый, то последний отличается от исходного  $u(t)$ . Эффективное напряжение шума квантования с учетом равномерности распределения его мгновенных значений

$$V_m = \left[ \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} u^2 du \right] = \Delta^2 / 12. \quad (4.16)$$

При квантовании быстро меняющихся сигналов возникает дополнительная динамическая погрешность, обусловленная конечной длительностью импульсов отсчетов  $\Delta t_p$ .

Если максимальная частота сигнала  $F_{\max}$ , то за время  $\Delta t$  напряжение сигнала изменится на  $\Delta u = 2\pi V_{\max} F_{\max} \Delta t_p$ . Обычно требуется, чтобы  $\Delta u$  не превышало половины шага квантования. Для этого

$$\Delta t_p \leq \frac{(V_{\max} - V_{\min})}{2^{n+1} 2\pi F_{\max} V_{\max}}, \quad (4.17)$$

Как правило  $V_{\min} = -V_{\max}$  и



$$\Delta t_p \leq \frac{1}{2^n 2\pi F_{\max}} \quad (4.18)$$

Дискретизация и квантование сигналов осуществляется аналого-цифровыми преобразователями (АЦП). Обратное преобразование осуществляется цифро-аналоговыми преобразователями (ЦАП).

#### 4.4. Цифро-аналоговые преобразователи (ЦАП)

Преобразование цифровых сигналов в аналоговые чаще всего осуществляется с помощью управляемых резисторных делителей напряжения. Условное обозначение ЦАП показано на рис.4.4а.

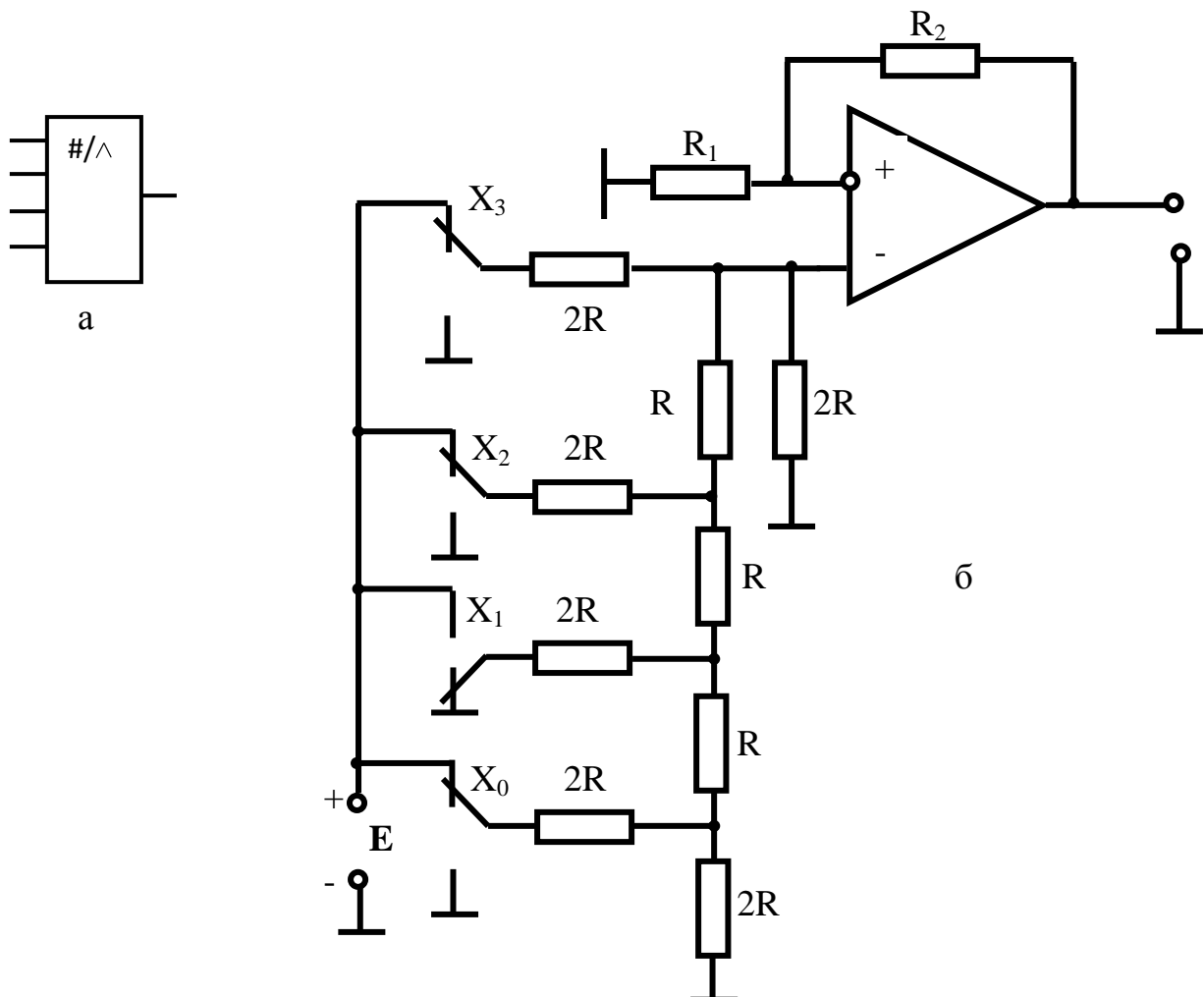


Рис.4.4. Цифро-аналоговый преобразователь:  
а – условное обозначение; б – схема цифро-аналогового преобразователя

В зависимости от поступившего кода  $x_n \dots x_2x_1$  цифрового сигнала (рис.4.4б) ключи  $x_3x_2x_1x_0$  подключают левые концы резисторов  $2R$  к источнику опорного напряжения  $E$ , когда соответствующий разряд двоичного числа равен «1» или к земле, когда он равен «0». Положение ключей на схеме соответствует числу 1101.

Если верхний ключ замкнут на источник напряжения  $E$ , а остальные замкнуты на землю, то напряжение, создаваемое на неинвертирующем входе операционного усилителя равно  $E/3$ . Замыкание на источнике ключа  $x_2$  создает напряжение  $E/6$  вдвое меньше, чем  $E/3$ . Замыкание ключей  $x_1$  и  $x_0$  создают соответственно  $E/12$  и  $E/24$ , то есть в 4 и 8 раз меньшее напряжение на неинвертирующем входе операционного усилителя, чем при замыкании ключа  $x_3$ .

Матрицы резисторов типа R-2R выпускаются в виде интегральных микросхем, например, серии 301. Так, матрицы 301НР3 - 301НР6 имеют коэффициент деления от  $1/2048$  до  $2047/2048$  через  $1/1048=2^{-10}$  с относительной погрешностью коэффициента деления не более  $+0,01\%$ .

#### **4.5.Аналого-цифровые преобразователи (АЦП)**

Преобразование непрерывных сигналов, несущих информацию, в дискретные осуществляется с помощью аналого-цифровых преобразователей (АЦП).

Аналого-цифровые преобразователи (АЦП) функционально делятся на две части: амплитудно-импульсный модулятор и квантователь.

При параллельном квантовании отсчет квантуемого напряжения  $U_A$  с помощью  $2^{n-1}$  компараторов одновременно сравнивается с опорными напряжениями  $V_{01}, V_{02}, \dots, V_{0(2^{-1})}$ , которые получаются от резисторного делителя. На выходе  $i$ -го компаратора устанавливается сигнал логического «0», если квантуемое напряжение  $U_A$  меньше  $i$ -го опорного напряжения ( $U_A < U_{oi}$ ), и сигнал «1» при  $U_A > V_{oi}$ . Сигналы с выходов компараторов

поступают на шифратор, преобразующий сигналы в n-разрядный параллельный код.

По параллельной схеме строятся высокоскоростные малоразрядные АЦП. Время преобразования одного отсчета в таких АЦП имеет порядок 20-100 нс.

Второй метод преобразования аналогового сигнала в цифровой - метод поразрядного уравнивания. Суть метода заключается в том, что отсчет квантуемого напряжения  $U_A$  последовательно сравнивается с опорными напряжениями. В первом тактовом интервале  $U_A$  сравнивается с опорным напряжением старшего разряда:

$$V_{10\dots0} = V_{\min} + \frac{V_{\max} - V_{\min}}{2^n} 2^{n-1}. \quad (4.19)$$

Если  $U_A > V_{10\dots0}$ , то старший разряд кода принимается равным  $x_n = 1$ . Если  $U_A < V_{10\dots0}$ , то  $x_n = 0$ . Во втором тактовом интервале напряжение  $U_A$  сравнивается с опорным напряжением (n-1)-го разряда определяется значение n-1 разряда. Результатом каждого сравнения является значение очередного разряда кода АЦП.

$$V_{10\dots0} = V_{\min} + \frac{V_{\max} - V_{\min}}{2^n} 2^{n-2}. \quad (4.20)$$

Метод последовательного отсчета основан на подсчете числасуммирований минимального опорного напряжения, равного шагу квантования  $\Delta$ , до получения напряжения, равного или превышающего квантуемое  $U_{A(k)}$ . Этим методом n-разрядный код одного отсчета напряжения определяется за n тактовых импульсов.

Метод последовательного отсчета можно реализовать, применяя источник нарастающего опорного напряжения. Если опорное напряжение на i-м тактовом интервале  $V_{0i} = V_{\min} + i\Delta$ , то код числа i, при котором становится справедливым условие

$$U_A \geq V_{0i}, \quad (4.21)$$

представляет собой код цифрового сигнала  $U_{(kn)}$ .

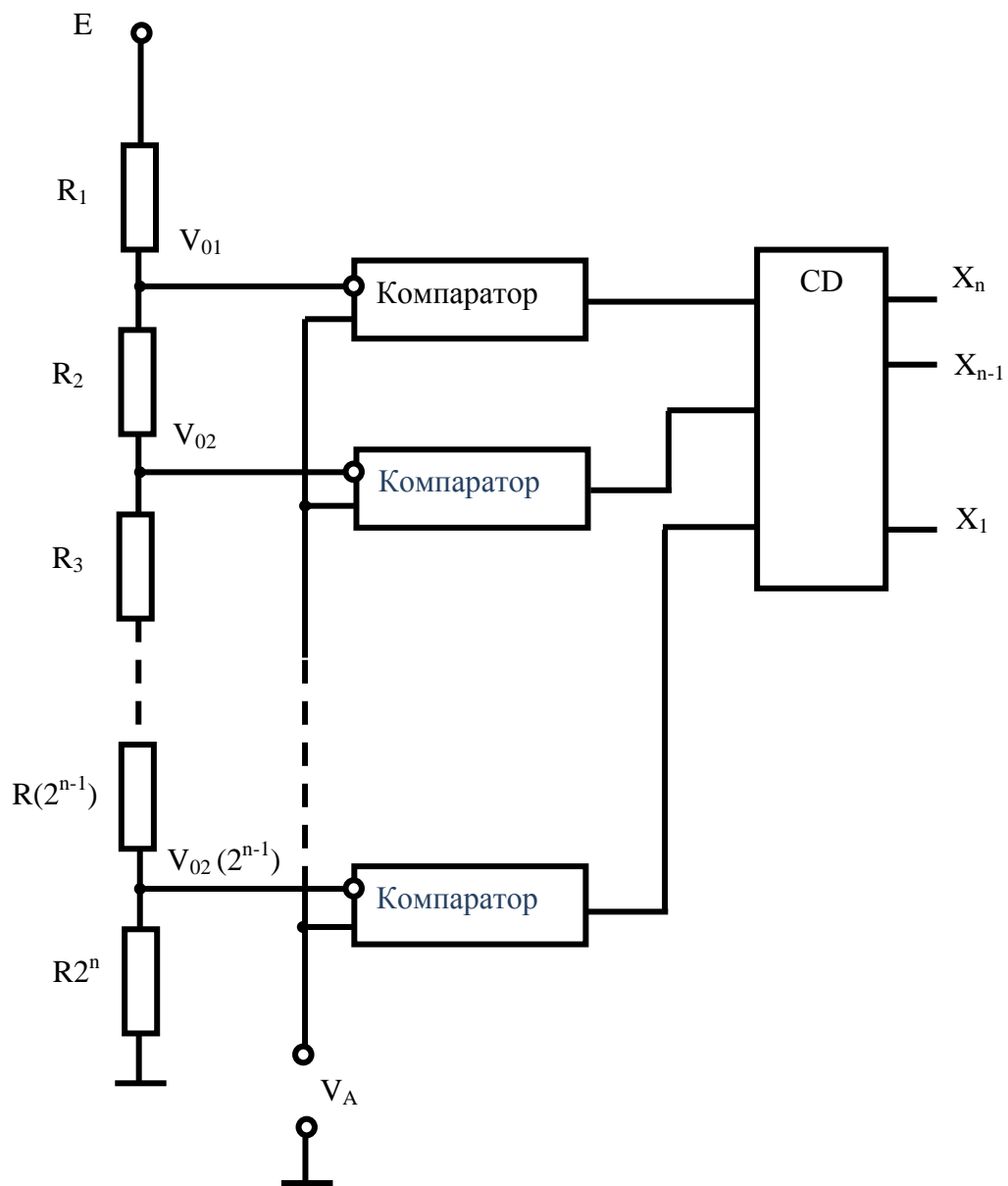


Рис.4.5. Схема параллельного АЦП

## **Глава 5. Микропроцессоры**

### **5.1. Структура микропроцессора**

Микропроцессор (МП) является сложным устройством универсальной вычислительной машины с программным управлением. Физически МП реализуется в виде интегральной микросхемы высокой степени интеграции, что позволяет существенно снизить стоимость, повысить надежность, уменьшить размеры ЭВМ.

Использование микропроцессоров позволяет существенно упростить структуру универсальной вычислительной машины. При этом она называется микрокомпьютером.

Микрокомпьютер представляет собой совокупность модулей (блоков), реализованных в виде больших интегральных схем (БИС) и соединенных между собой с помощью системных шин. Под системной шиной понимается совокупность электрических проводников и передаваемых по ним сигналов, сгруппированных в соответствии с функциональным назначением.

В микрокомпьютере обработка информации, управление потоком и интерпретацией команд, а также управление работой шин осуществляется с помощью МП. Функции хранения информации выполняет запоминающее устройство, в него может входить как постоянная, так и оперативная память. Связь с внешними устройствами осуществляют модули, называемые портами ввода-вывода. Порт является интерфейсом между МП и каким-либо внешним устройством: внешней памятью для хранения больших объемов информации, линией связи, устройством печати, клавиатурой и т.п. Интерфейс - это устройство, которое позволяет микрокомпьютеру взаимодействовать с внешним устройством.

Структурная схема микрокомпьютера с шинной организацией представлена на рис.5.1. Взаимодействие модулей осуществляется при помощи шин адреса, данных и управления. Такая схема, характерная для большинства современных микрокомпьютеров, позволяет описать все типы машинных операций: запись данных из МП в память; считывание

микропроцессором данных из памяти; запись данных из МП в устройство ввода данных; считывание микропроцессором данных из устройства вывода данных; обработку прерываний МП; прямой доступ к памяти под контролем МП; работу с внутренними регистрами МП. Работу любого микрокомпьютера можно представить с помощью перечисленных операций.

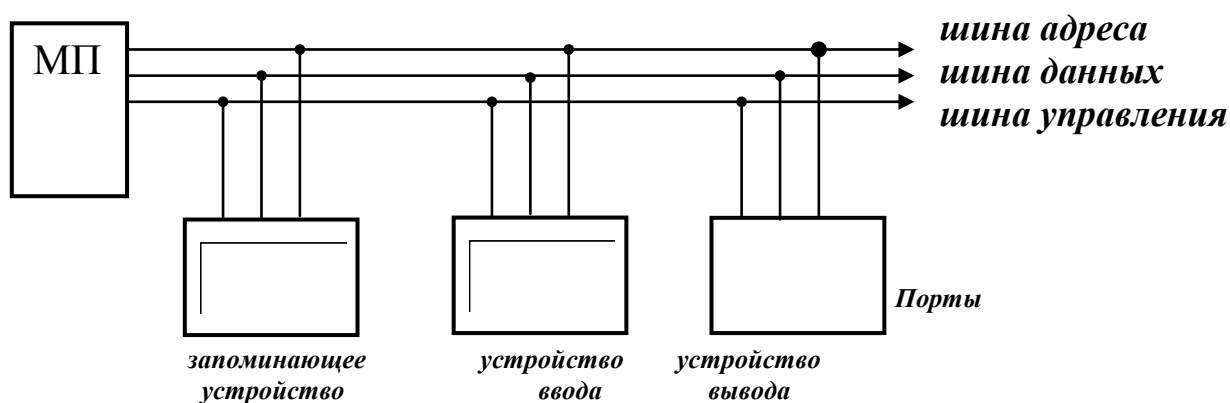


Рис.5.1. Структурная схема микрокомпьютера

Имеют место следующие принципы построения микрокомпьютеров.

Принцип модульной организации означает, что микрокомпьютер строится из набора модулей. Модуль представляет собой вычислительное устройство, позволяющее самостоятельно или в совокупности с другими модулями решать задачи определенного класса.

Принцип магистрального обмена информацией заключается в том, что между модулями организуются регулярные связи, объединяющие их входы и выходы. Выделяются следующие магистральные шины: адреса данных, управления. Использование магистрального обмена позволяет минимизировать число связей между модуляторами, обеспечить стандартизацию интерфейсов.

Принцип микропрограммного управления вытекает из многоуровневой организации программного управления. Каждая команда МП может быть представлена в виде последовательности микрокоманд, получившей название микропрограмма. Микропрограммы могут храниться в памяти. Принцип

микропрограммного управления обеспечивает наибольшую гибкость при организации многофункциональных микропроцессорных модулей, увеличивает регулярность структуры, повышает надежность устройств.

Структурная схема типового МП представлена на рис.5.2. Для построения используются описанные ранее комбинационные устройства (шифраторы, дешифраторы, мультиплексоры, демультиплексоры и т.д.), последовательностные (регистры, счетчики) и шины для передачи различных сигналов. Конкретные МП могут отличаться друг от друга, но каждый из них содержит следующие основные узлы и устройства: арифметическо-логическое устройство (АЛУ); устройство управления (УУ); регистры (Рг); интерфейс.

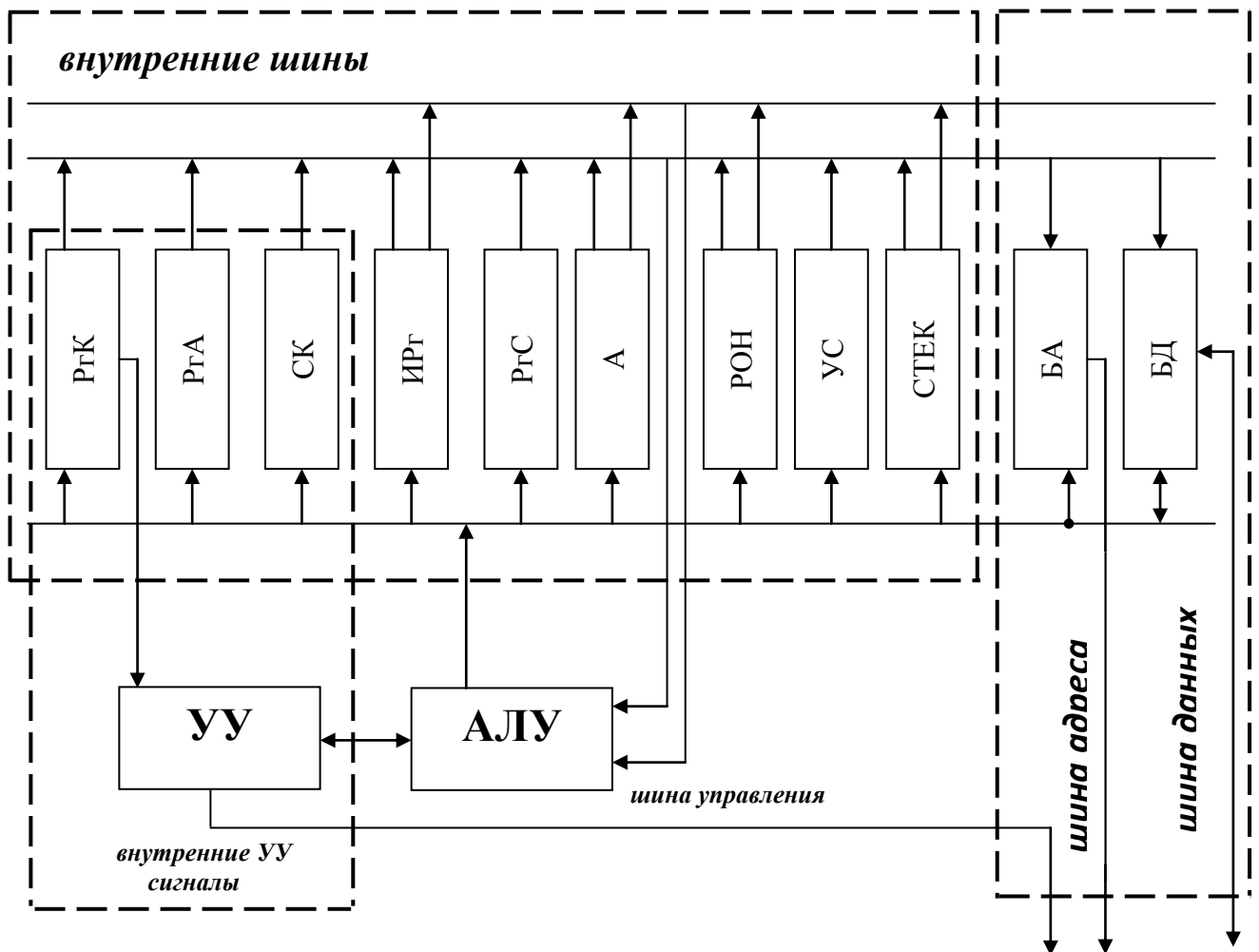


Рис.5.2. Структурная схема типового микропроцессора

В АЛУ выполняются несколько простейших операций: сложение, вычитание, пересылка, логическое И, логическое ИЛИ, сложение по модулю 2, сдвиг. Признаки операций АЛУ, а также состояние МП фиксируются в каждый данный момент регистром состояния (РгС). Содержимое регистра (флаг) используются для организации переходов внутри программы в соответствии с заданными признаками и условиями. Для хранения одного из слов, над которым выполняются операции, и промежуточных результатов используется накопительный регистр, получивший название аккумулятора (А).

В УУ применяется счетчик команд (СК) для определения адреса выбираемой из запоминающего устройства (ЗУ), следующей по порядку команды в программе. Команда из ЗУ поступает в регистр команды (РгК). Команда используется в УУ для управления вычислительным процессом. В УУ код операции команды, находящейся в РК, предназначается для формирования внутренних сигналов управления работой МП (например, сигналов для АЛУ). Адресная часть команды, находящаяся в регистре адреса (РгА), используется для определения места хранения одного из слов, участвующих в операции, или результата, который надо передать из аккумулятора по заданному адресу. Для формирования адресов ЗУ выделяются индексные регистры (ИРг).

Важную роль в функционировании МП играет стек. Он представляет собой ЗУ, в которое информация передается для запоминания последовательно слово за словом и из которого она извлекается в порядке, обратном порядку поступления. Как правило, стек формируется в ЗУ. В МП содержится лишь указатель стека (УС), в котором хранится адрес первой свободной ячейки в стеке.

Перечисленные специальные регистры общего назначения (РОН) образуют внутреннюю память МП, реализованную в виде узла регистров. Регистры узла соединяются с другими внутренними узлами МП с помощью шин. Функции многих из перечисленных регистров могут быть совмещены с



функциями РОН, число которых может колебаться в широких пределах. РОН применяются также и для хранения обрабатываемой информации. В этом случае их можно рассматривать как сверхоперативную память.

Для стандартного подключения к МП портов внешних устройств и запоминающего устройства служит интерфейс, в состав которого входят буфер адреса (БА), буфер данных (БД), шины. Шина данных (ШД) предназначена для передачи чисел и команд, с которыми работает МП. Шина адреса (ША) используется для адресации памяти и внешних устройств. По шине управления (ШУ) передаются управляющие сигналы от внешних устройств к МП и обратно.

## **5.2. Принципы управления и функционирования микропроцессора**

Принципы управления. Микропроцессор можно представить в виде некоторого последовательного цифрового устройства (ПЦУ), состоящего из двух частей: операционной и управляющей (рис.5.3).

Процесс функционирования операционного ПЦУ состоит из последовательности элементарных действий в его узлах. Элементарными действиями являются: установка регистра в некоторое состояние, инвертирование содержимого разрядов регистра, передача информации от одного узла к другому (например, передача содержимого из регистра в регистр), сдвиг информации в узле влево или вправо, логические поразрядные операции, проверка условий и т.д. Эти действия производятся под воздействием сигналов управляющего ПЦУ. Таким элементарные акты преобразования информации выполняются в течение одного такта сигналов синхронизации и называются микрооперациями.

В течение одного такта сигналов одновременно выполняемых микроопераций в течение одного такта ставится в соответствие понятие микрокоманды, а весь набор различных микрокоманд называют микропрограммой. Поскольку управляющее ПЦУ определяет микропрограмму (последовательность выполнения микроопераций), оно

получило название микропрограммного автомата. Формирование управляющих сигналов для выполнения некоторых микрокоманд может потребовать учета состояния узлов операционного ПЦУ или внешних сигналов.

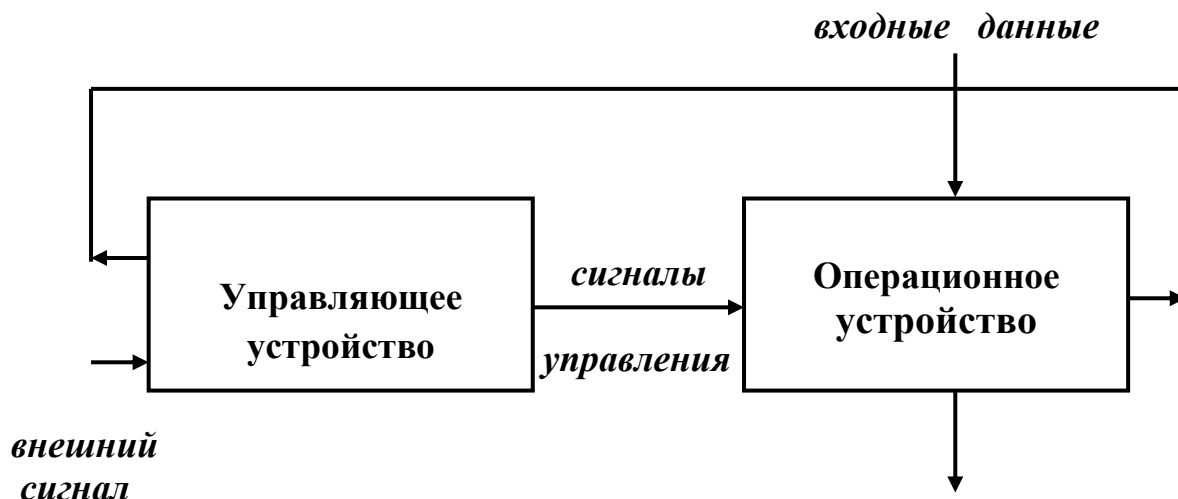


Рис.5.3. Обобщенная блок-схема микропроцессора

Для построения микропрограммного автомата (управляющего ПЦУ) используются принципы схемной и программируемой логики. В первом случае каждой операции соответствует свой набор логических схем, вырабатывающих определенные управляющие сигналы для выполнения микроопераций в определенные моменты времени. При таком способе построения управляющего ПЦУ микрооперации реализуются за счет однажды соединенных между собой логических схем, поэтому такие микропроцессоры называются МП с жесткой логикой управления. Это означает, что для МП фиксируются набор команд по числу операций и структура связей между узлами, обеспечивающих заданную последовательность выполнения каждой операции (рис.5.4). В управляющем устройстве (УУ) предусматриваются ряд узлов для выполнения различных операций на одном и том же оборудовании операционного устройства (ОУ). Каждой выполняемой в МП операции соответствует команда. Команда поступает из ОЗУ и с помощью дешифратора команд в УУ ее код преобразуется в сигналы, которые включают узлы управления процессом выполнения операции. Реализация

принципа схемной логики в МП означает практическую невозможность изменений в системе команд после изготовления МП. Она приводит к узкой специализации БИС, что снижает серийность выпуска и удорожает их производство. Вместе с тем МП с жесткой логикой управления обеспечивает наивысшее быстродействие при заданной технологии изготовления.

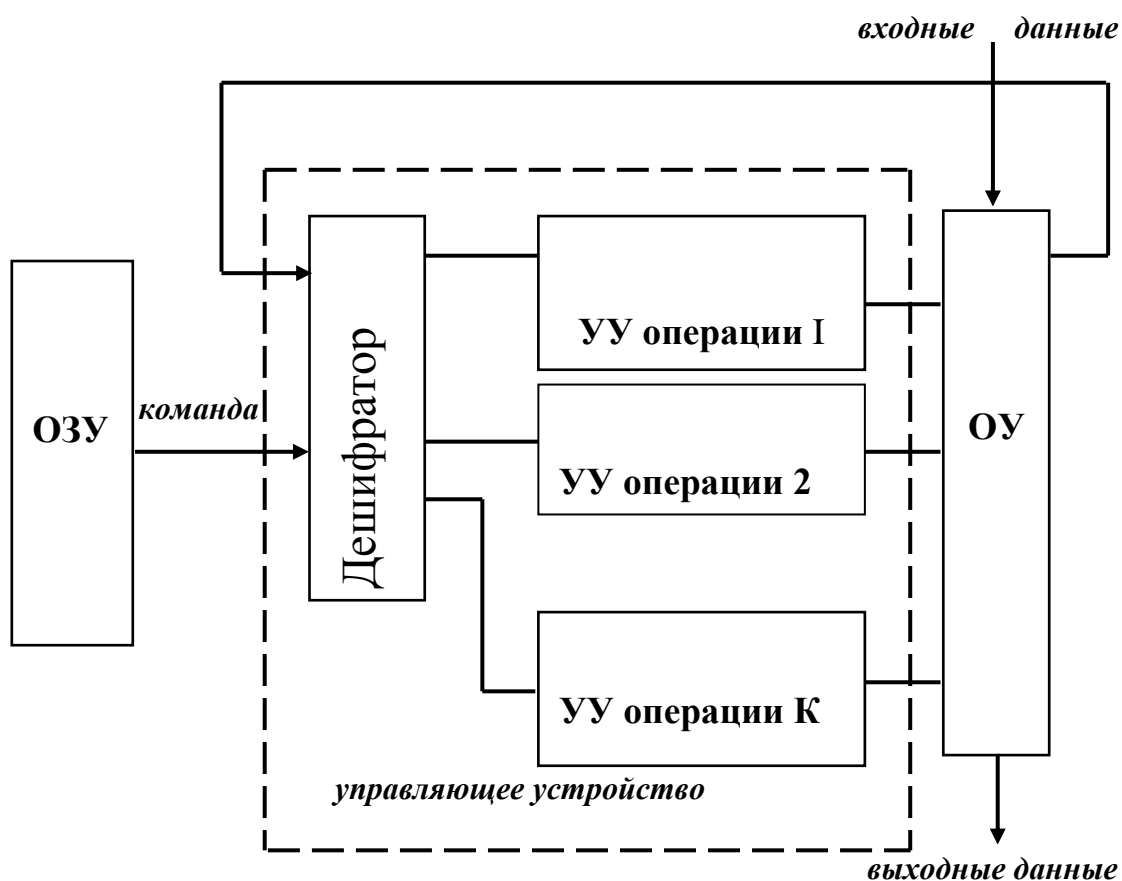


Рис.5.4. Блок схема микропроцессора со схемной логикой

При реализации принципа программируемой логики (рис.5.5,а) кодовые комбинации управляющих сигналов представляются в виде кодов микрокоманд, которые можно хранить в управляющей памяти (УП). При выполнении некоторой операции из УП выбирается микрокоманда и выдается в виде совокупности управляющих сигналов в ОУ. В УП для каждой операции хранится своя микропрограмма. Из оперативной памяти выбирается команда и с ее помощью определяется соответствующая ей микропрограмма в УП. Микрокоманды найденной микропрограммы

последовательно считываются и подаются на ОУ. В результате реализуется операция, определяемая данной командой. Такой способ реализации операций получил название микропрограммного, а МП с устройством управления на этом принципе называется МП с программируемой логикой.

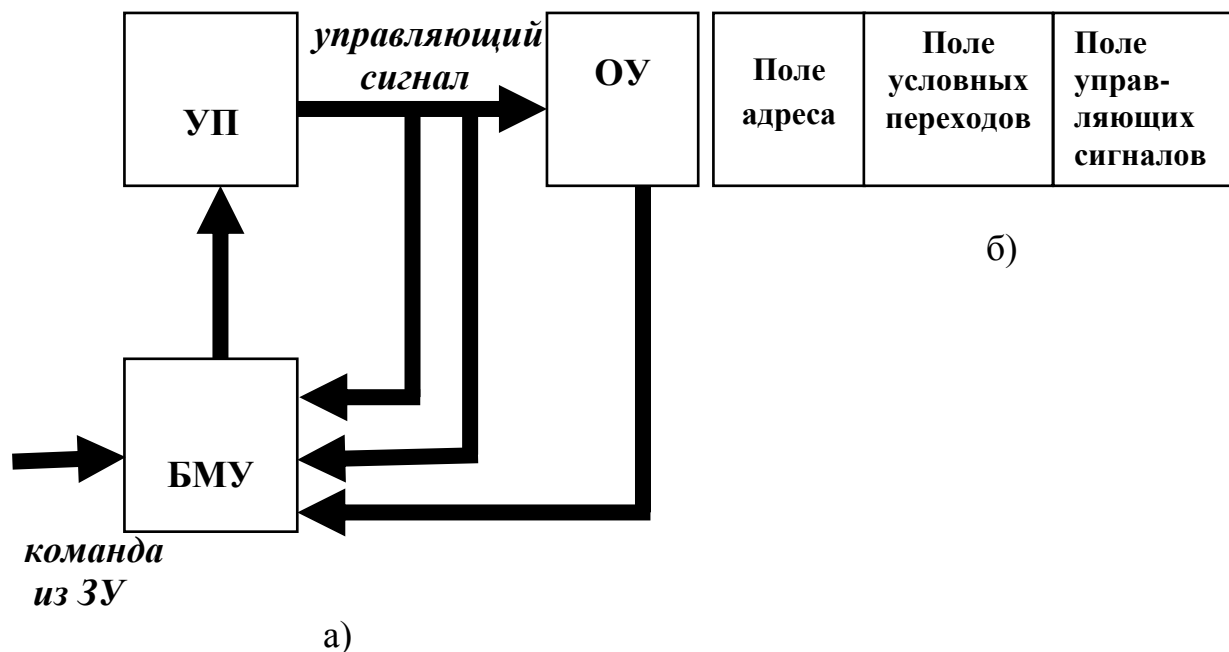


Рис.5.5. Микропроцессор с программируемой логикой:  
а – блок схема; б – структура микрокоманды

Структура микрокоманды (МК) представлена на рис.5.5,б. Микрокоманда содержит поле адреса, поле условных переходов, поле управляющих сигналов. По содержимому поля адреса определяется адрес следующей МК. Для реализации условных переходов в МК предусматривается поле условных переходов, в котором указывается наличие безусловного или условного перехода, а в случае условного перехода отмечаются условия определения адреса очередной МК. Поле управляющих сигналов МК служит для организации функционирования ОУ. В ОУ предусматриваются управляющая память (УП) и блок микропрограммного управления (БМУ).

Поступающая из ЗУ команда используется для определения с помощью БМУ адреса первой МК-той микропрограммы, которая реализует заданную

командой операцию. Адреса последующих МК определяются БМУ следующим образом.

В МК предусматривается поле адреса, которое содержит адрес очередной МК. В случае условного перехода один из разрядов поля условных переходов отводится для указания вида перехода (например, 0 - безусловный переход, 1 - условный переход). Для каждого условия отводится разряд, определяющий участие данного условия в определении адреса. В зависимости от условия образуются два различающихся младшим разрядом адреса и очередная МК считывается из одной или другой ячейки УП. В результате получается разветвление на два направления. Таким образом, микрокоманда может быть разбита на две. Микрокоманда МУ определяет функционирование БМУ при определении адреса очередной МК по полю адреса и полю условных переходов. Микрокоманда ОУ определяет функционирование ОУ по полю управляющих сигналов.

Использование принципа программируемой логики при построении УУ может привести к снижению быстродействия МП из-за увеличения числа тактовых периодов реализации микропрограммы. Достоинство такой организации управления заключается в возможности гибкого изменения набора команд в МП с помощью изменения совокупности микропрограмм, реализующих эти команды.

Структура и типы команд. Обработка информации и функционирование МП обеспечиваются с помощью программного управления. Программа записывается в ОЗУ в виде последовательности команд. Каждая команда определяет вид операции, исполняемой в данном цикле работы, адреса слов, участвующих в операции, место расположения результата операции, адрес расположения следующей команды. Из-за малой разрядности МП очень трудно задать такую обширную информацию с помощью только одного слова. Проблема выбора формата команд и кодирование полей команд МП имеют особое значение. Гибкость МП и его эффективность определяются числом команд и полнотой системы команд, средствами и способами

адресации, возможностями организации разветвленных вычислительных процессов.

С увеличением разрядности команды растут и возможности МП. Ограниченная разрядность команды создает существенные трудности в размещении информации о ходе операции и методе адресации данных. Для преодоления этих трудностей в систему команд вводятся операции с удвоенной разрядностью, а также команды с переменной разрядностью.

Кроме поля кода операции и кодов адресов данных команда должна содержать поле признаков с указаниями способов адресации. Способы адресации определяют механизм формирования прямого адреса памяти по полю адреса и полю признаков адресации. Гибкость системы команд в значительной мере определяется разнообразием способов адресации. Выбор системы команд является сложнейшей задачей при построении МП. Команды можно классифицировать по функциональному назначению, по числу адресов, по способу кодирования команд, по длине команды, по способу адресации.

По функциональному назначению различаются команды передачи данных, обработки данных, передачи управления и дополнительные команды. Команды передачи данных включают в себя подгруппы команд передачи кодов между регистрами МП, пересылки кодов между МП и ОЗУ, передачи кодов между МП и внешними устройствами. Команды обработки данных подразделяются на арифметические, логические и команды сдвига. Команды передачи управления используются для изучения естественного порядка следования команд и организации циклических участков в программах. Среди них выделяются команды безусловного и условного переходов. Дополнительные команды используются для задания остановки программы, начальной установки аппаратных средств, реализации ожидания.

По числу адресов различают нуль-адресные, одноадресные, двухадресные и многоадресные команды.

По способу кодирования различаются команды с фиксированным и расширяющимся полем кода операций.

По длине различают команды длиной в одно, два, три слова.

Способы адресации информации. Механизм адресации в значительной мере влияет на эффективность обработки информации в МП. Для преодоления ограничений из-за малой разрядности кодов команд используются всевозможные способы адресации, которые позволяют определять полный адрес памяти меньшим числом бит, вычислять адреса во время обработки, вычислять адреса данных относительно позиции команды таким образом, что можно загружать программу в любую область памяти без изменений адресов в программе.

Способы адресации можно разделить на две группы. К первой группе принадлежат способы, в которых исполнительный адрес определяется одним значением кода в команде. Такими являются прямая регистровая, косвенная регистровая, непосредственная, автоинкрементная и автодискриминантная адресации. Ко второй группе принадлежат такие способы адресации, в которых используется содержимое адресной части команды и несколько регистров для формирования исполнительного адреса. Такими являются страничная, индексная, относительная адресации.

При прямой адресации код адреса в команде является исполнительным адресом обращения к памяти. При регистровой адресации обрабатываемое слово (операнд) содержится в одном из регистров МП. При регистровой косвенной адресации косвенный адрес извлекается из внутреннего регистра МП. Непосредственная адресация позволяет задавать операнд в команде.

Автоинкрементная адресация основана на вычислении исполнительного адреса так же, как и при регистровой косвенной адресации, затем осуществляется увеличение содержимого регистра на некоторую константу.

При автодекрементной адресации сначала из содержимого регистра вычитается константа, затем полученный результат используется в качестве

исполнительного адреса. Совместное использование автоинкрементной и автодекрементной адресации обеспечивает применение любого регистра в качестве стека.

При страничной адресации память разбивается на ряд страниц одинаковой длины. Адресация страниц осуществляется с помощью регистра страниц, а адресация ячеек памяти внутри страницы - адресом в команде. Номера всех страниц могут находиться в таблице страниц, которая представляет собой нулевую страницу.

Индексная адресация используется при обращении к массивам слов и таблиц. Для образования исполнительного адреса к адресной части команды прибавляется смещение (индекс) из регистра, называемого индексным. Содержимое индексного регистра можно изменять; это позволяет изменять исполнительный адрес без модификации адресной части команды.

При относительной адресации исполнительный адрес образуется сложением базового адреса с адресом команды. В качестве базового адреса используется содержимое программного счетчика. Такая адресация позволяет строить свободно перемещаемые в памяти программы.

Организация прерывания работы МП. Реализация механизма прерываний по сигналам запросов внешних устройств имеет наибольшую важность при обмене данными МП с большим числом асинхронно работающих внешних устройств.

Практически все МП имеют отдельные выходы для ввода и вывода сигналов при определении запросов и удовлетворения запросов на прерывание. Сигналы запроса прерываний текущей программы поступают в произвольный момент времени. Поэтому МП должен закончить выполнение текущей микрокоманды или команды, и только после этого приступить к удовлетворению запроса. При этом промежуточные результаты работы МП по программе должны быть зафиксированы в регистрах и переданы на хранение в память. После удовлетворения запроса и обработки прерывания зафиксированные в памяти промежуточные результаты должны быть



возвращены обратно в регистры МП. Такой порядок реализации процесса прерывания дает возможность переходить от программы к подпрограмме обработки прерываний и обратно без потерь промежуточной информации и без нарушений процесса вычислений. Если МП построен так, что нельзя прервать прерывающую программу, то считается, что МП имеет нулевой уровень программного прерывания.

Для большинства МП имеется возможность обеспечения многократного прерывания прерываний. В этом случае допускаются прерывания внутри прерываний, что ведет к появлению последовательности вложенных друг в друга подпрограмм. Для сохранения и возврата данных при реализации прерываний используется стек. Как уже указывалось, стек представляет собой совокупность ячеек памяти, организованных так, что обращение к списку слов может происходить в процессе, обратном записи. В стеке последнее из записанных слов считается первым. В стеке всегда чтение или запись происходит в верхней ячейке. При удовлетворении запроса на прерывание текущей программы осуществляется запись состояния рабочих регистров МП в стек, при этом автоматически добавляется в указатель стека единица после каждой записи. Поэтому с помощью одной команды “Записать состояние в стек” осуществляются считывание регистров и хранение содержимого в стеке. Восстановление также происходит автоматически по команде “Восстановить состояние прерванной программы”, которая ставится последней в подпрограмме прерывания.

Запросы прерывания в большинстве МП делятся на немаскируемые и маскируемые. Немаскируемые запросы на прерывание реализуются аппаратно вне программного контроля и не управляются программно. Эти прерывания имеют высший приоритет, используются ранее других запросов на прерывания. Примерами немаскируемых запросов могут служить запросы на прерывания от схем питания, схем контроля правильности передачи данных. Маскируемые запросы на прерывания управляются командами

подпрограммы и обеспечивают возможность гибкого управления вычислительным процессом.

Для определения адреса программы при прерывании по запросу от внешнего устройства используются различные методы, которые различаются числом дополнительных схем МП или в контроллере внешнего устройства. Наиболее простой метод основан на записи кода адреса памяти, где записана подпрограмма прерывания в специальном регистре адреса прерывания.

Другой метод основан на асинхронном запросе со стороны МП внешним устройством с целью определения устройства, которое выработало сигнал запроса на прерывание. По запросу МП контроллер внешнего устройства выставляет код команды, вызывающий ветвление в устройстве управления МП по одному из множества адресов. В сложных МП используется специальный регистр вектора прерывания для задания векторов прерываний внешних устройств.

Организация ввода-вывода данных. Существуют различные способы обмена данными между МП и другими устройствами. При программном обмене данными по командам условного перехода МП определяет программным путем, готово ли внешнее устройство к выполнению операций ввода-вывода до начала передачи данных МП считывает информацию о состоянии готовности внешнего устройства, передает ее во внутренний регистр и на основе анализа результата принимает решение о готовности устройства. При этом МП находится в режиме программного ожидания готовности внешнего устройства выполняя соответствующую подпрограмму. После обнаружения готовности МП передает данные и затем приступает к продолжению основной программы.

При обмене данными по сигналам прерывания работы МП от внешних устройств последние являются сами инициаторами обмена. МП работает параллельно с внешними устройствами по основной программе и не занимается анализом состояния внешних устройств. В этом случае в МП предусматриваются специальные средства анализа состояния внешних

устройств. При выполнении сигнала готовности к обмену от какого-либо внешнего устройства МП завершает текущую операцию, передает на хранение в память всю информацию и переходит к подпрограмме обслуживания прерывания. Основной частью этой подпрограммы является команда обмена данными между МП и внешними устройствами. В конце подпрограммы включается подпрограмма возврата к основной программе.

При обмене данными между внешними устройствами и памятью нет необходимости пересылать данные через микропроцессор. Для этих целей используется обмен данными в канале прямого доступа. Вводится специальный контроллер прямого доступа в память, который берет на себя управление передачей без применения МП. Средства канала прямого доступа подключаются параллельно МП. Разделение единого информационного канала между МП и каналом прямого доступа осуществляется посредством использования трехуровневого состояния информационных шин МП.

Во время передачи информации по каналу прямого доступа МП переводит выходные схемы управления шинами данных, адреса и управления в высокоомное состояние и тем самым изолируется от остальной части системы.

### **5.3. Микро-ЭВМ на основе модели вычислителя**

**Особенности модели.** Модель вычислителя отражает процесс вычислений, выполняемых одним человеком-вычислителем по заранее заданным правилам решения (алгоритму). Можно выявить следующие основные принципы модели: последовательное во времени выполнение операций; фиксированная логическая схема выполнения вычислений, которая не меняется при переходе от одной задачи к другой; конструктивная неоднородность элементов модели и связей между ними, что находит выражение в специализации элементов в зависимости от выполняемых ими функций. Модель одного вычислителя была положена в основу

организации ЭВМ первых трех поколений. Она является основой большинства современных микро-ЭВМ.

Структура микро-ЭВМ, реализующая модель одного вычислителя, приведена на рис.5.6. В состав основных функциональных блоков микро-ЭВМ входят: процессор, состоящий из арифметическо-логического устройства (АЛУ) и устройства управления (УУ), оперативное запоминающее устройство (ОЗУ), устройства ввода-вывода (УВВ), обеспечивающие сопряжение микро-ЭВМ с различными внешними устройствами, например, с дисплеем, внешней памятью и т.д. Микро-ЭВМ может также содержать постоянное запоминающее устройство (ПЗУ), в котором хранятся постоянно используемые программы. Рассмотренные блоки строятся на основе БИС.

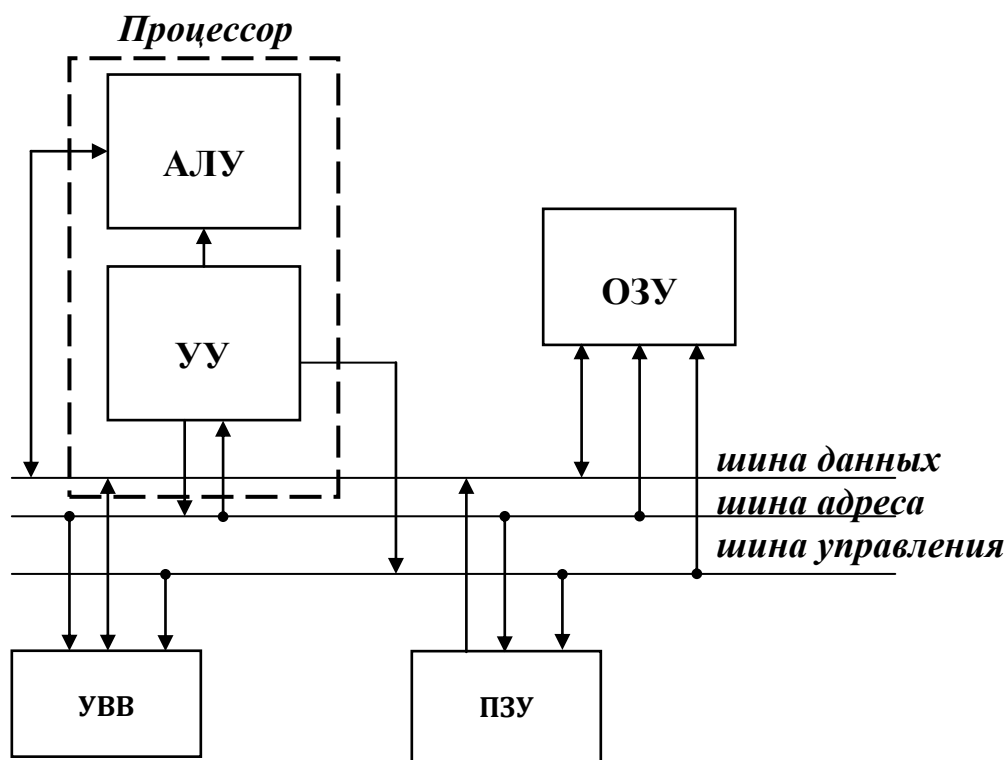


Рис.5.6. Структурная схема микро-ЭВМ

Объединение отдельных функциональных блоков в микро-ЭВМ осуществляется с помощью системы связи. Широкое распространение получила организация системы связи в виде набора шин. В состав этого набора входят: шины данных, по которым осуществляется обмен

информацией между блоками ЭВМ; шины адреса, используемые для передачи адресов, по которым осуществляется обращение к различным устройствам микро-ЭВМ, и шины управления для передачи управляющих сигналов.

Для связи пользователя с микро-ЭВМ может быть предусмотрен пульт управления, который позволяет оператору управлять работой микро-ЭВМ и контролировать процесс вычислений. Пульт обеспечивает: пуск микро-ЭВМ, остановку, загрузку начального адреса программы в программный счетчик, индикацию содержимого ячеек памяти и регистров процессора, пошаговое выполнение команд программы при ее отладке. В качестве пульта в отдельных микро-ЭВМ используется видеотерминал.

Обобщенный алгоритм функционирования микро-ЭВМ, построенный на основе модели вычислителя, представлен на рис.5.7.

Рассмотрим более подробно отдельные узлы микро-ЭВМ.

Интерфейсы микро-ЭВМ. Как отмечалось выше, микро-ЭВМ состоят из отдельных модулей, которые можно сравнительно просто и в нужных количествах объединять. Присоединение нового устройства не должно вызывать в существующей части машины никаких изменений, кроме изменения кабельных соединений и программ. Все это достигается надлежащим выполнением сопряжений между устройствами. В вычислительной технике эти сопряжения называют интерфейсами.

Под интерфейсом понимают унифицированные аппаратные и программные средства, необходимые для организации взаимодействия как непосредственно между блоками микро-ЭВМ, так и между ЭВМ и внешними устройствами.

Интерфейс характеризуется функциональными, электрическими и конструктивными параметрами, которые стандартизируются. Стандартизации в интерфейсе обычно подлежат: форматы передаваемой информации, команды и состояния, состав и типы линий связи, параметры сигналов, алгоритм работы, конструкция.

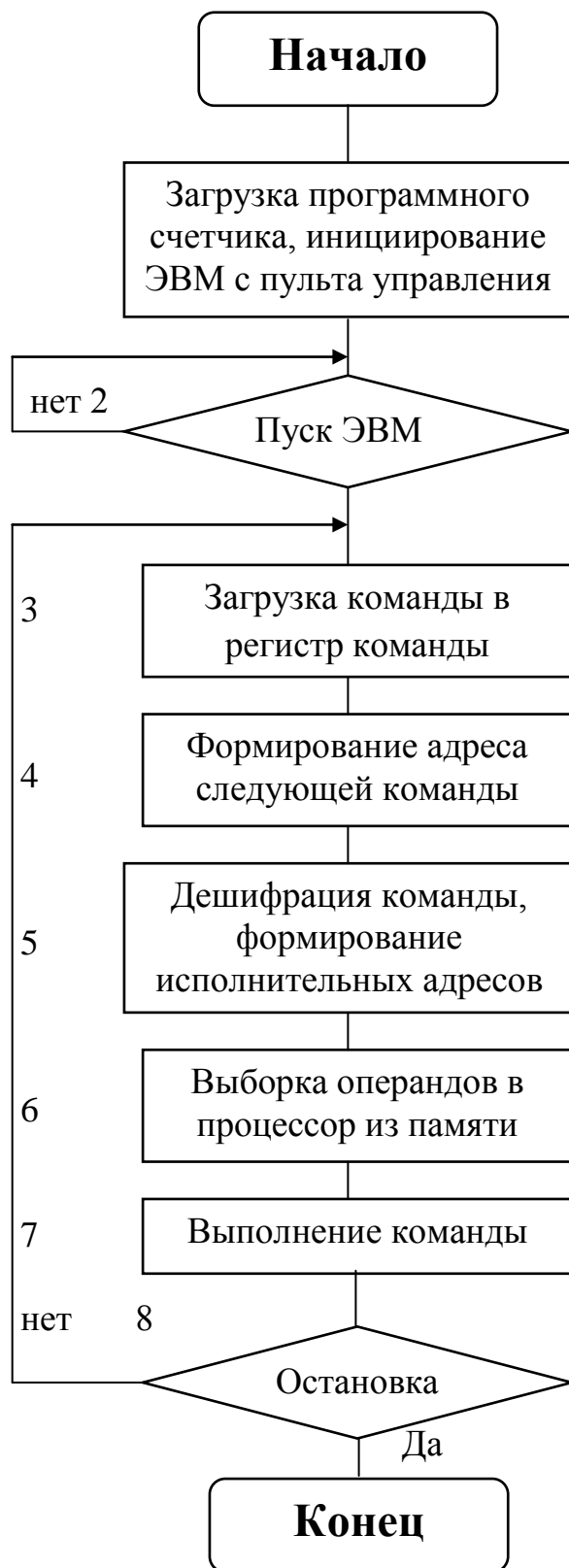


Рис.5.7. Алгоритм функционирования микро ЭВМ

В микро-ЭВМ можно выделить следующие типы интерфейсов (рис.5.8): интерфейс оперативной памяти (ОП) А, интерфейс процессора (Пр) Б, интерфейс ввода-вывода В и интерфейс периферийных устройств (ПУ) Г.

Через интерфейс ОП производится обмен информацией между памятью и процессором, либо между процессором и блоками ввода-вывода. Блоки ввода-вывода называют каналами или процессорами ввода-вывода (ПВВ). В интерфейсе А ведущим устройством, т.е. устройством, инициирующим обмен, является процессор, либо канал прямого доступа в память.

Исполнительными устройствами являются блоки ОП.

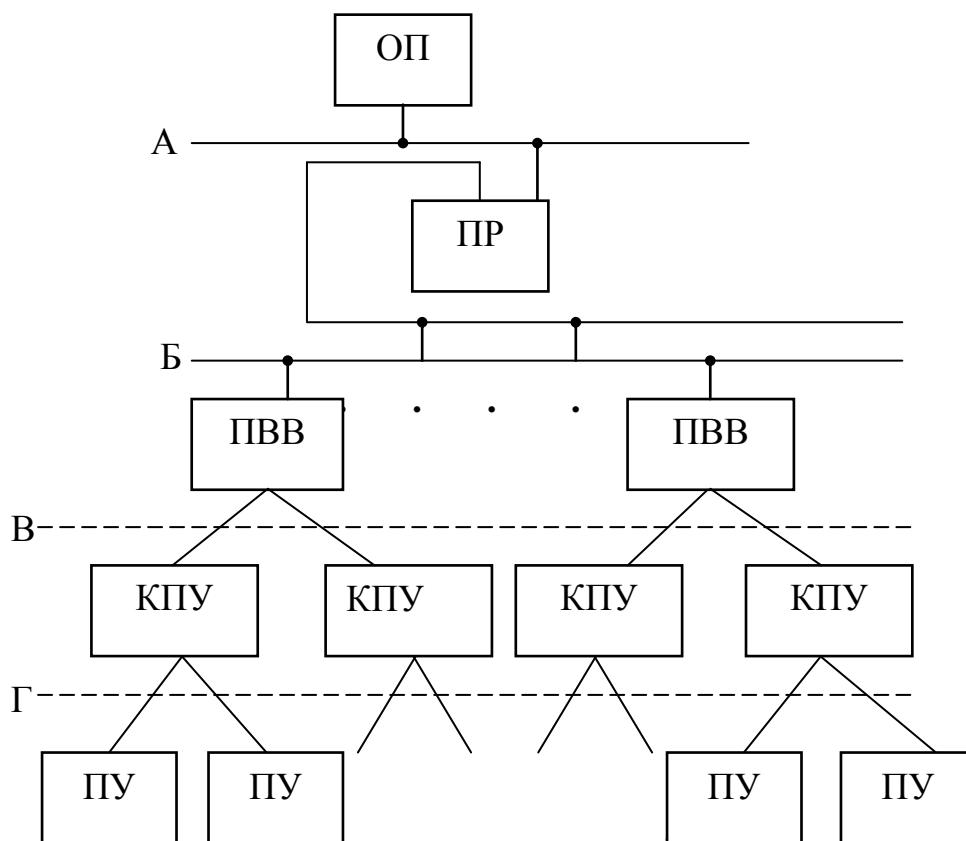


Рис.5.8. Структура интерфейсов в микро ЭВМ

Интерфейс процессор - каналы ввода-вывода применяется для обмена информацией между процессором и каналами ввода-вывода. Ведущим устройством в интерфейсе Б является процессор, а исполнительным - каналы ввода-вывода.

Периферийные устройства подключаются к микро-ЭВМ с помощью блоков управления, называемых иначе контроллерами периферийных устройств (КПУ). Обмен информацией между каналами ввода-вывода и КПУ осуществляется через интерфейс ввода-вывода В, который обеспечивает связь с контроллерами управления внешними запоминающими устройствами (КПУ-ВЗУ - магнитными дисками (МД) и магнитными лентами (МЛ), а также с контроллерами терминалов и пульта оператора. Ведущими в интерфейсе В являются каналы ввода-вывода, а исполнительными КПУ.

Интерфейс с периферийными устройствами Г служит для обмена информацией между КПУ и механизмами внешних устройств (принтерами и т.д.). В этом интерфейсе ведущими являются КПУ, а исполнителями - соответствующие механизмы внешних устройств.

Через интерфейсы А, Б, В информация передается параллельно словами (8 или 16 разрядов), через интерфейсы Г - группами разрядов, число которых определяется типами периферийных устройств.

В микро-ЭВМ используются следующие основные способы передачи дискретной информации: асинхронный, синхронный, асинхронно-синхронный.

При асинхронном способе передающее устройство сообщает приемнику, что сигналы, которые необходимо передать, присутствуют на информационных линиях интерфейса. Приемное устройство после фиксации этой информации извещает передающее устройство посылкой сигнала подтверждения по другой линии интерфейса. Передающее устройство, получив сигнал о приеме информации, снимает передаваемый сигнал. В ответ приемное устройство снимает сигнал подтверждения. При асинхронном способе скорость передачи информации максимальная.

При синхронном способе передающее устройство устанавливает на своих выходных линиях дискретный сигнал (0 или 1) и поддерживает его в течение заранее определенного промежутка времени. По истечении этого промежутка времени состояние сигнала на передающей стороне изменяется -



сигнал снимается. При этом считается, что сигнал принят. Период синхронной передачи информации должен быть не меньше максимального времени передачи сигнала.

При асинхронно-синхронном способе передающее устройство сообщает приемнику, что через определенные, заранее выбранные периоды времени после фиксации фронта извещающего сигнала поступит информация по линии последовательного интерфейса. При этом последовательный код осуществляется либо со стробированием по отдельной линии интерфейса, либо стартстопным способом.

При синхронном способе передача параллельного кода по информационным шинам интерфейса осуществляется со стробированием, при асинхронном - с квитированием (подтверждением приема).

На рис.5.9 была приведена наиболее полная многошинная структура интерфейсов, требующая значительных аппаратурных затрат. Во многих микро-ЭВМ для упрощения используется структура межблочных связей через общую шину. В этом случае все блоки микро-ЭВМ объединяются с помощью одной группы шин и обмен информацией между процессором, памятью, периферийными устройствами осуществляется по единому правилу. Интерфейс подобного типа называется “общая шина”. Структура микро-ЭВМ с таким интерфейсом представлена на рис.5.10. При таком подходе команды обращения к памяти используются и для обращения к регистрам периферийных устройств, которые адресуются так же, как ячейка памяти.

Общая шина (ОШ) представляет собой унифицированную систему связей и сигналов между процессором и ПУ (рис.5.9).

По общей шине (ОШ) передаются данные, адреса, команды, сигналы о состоянии ПУ, сигналы управления. Большинство линий двунаправленные, т.е. линия подключена к входному и выходному усилителям.

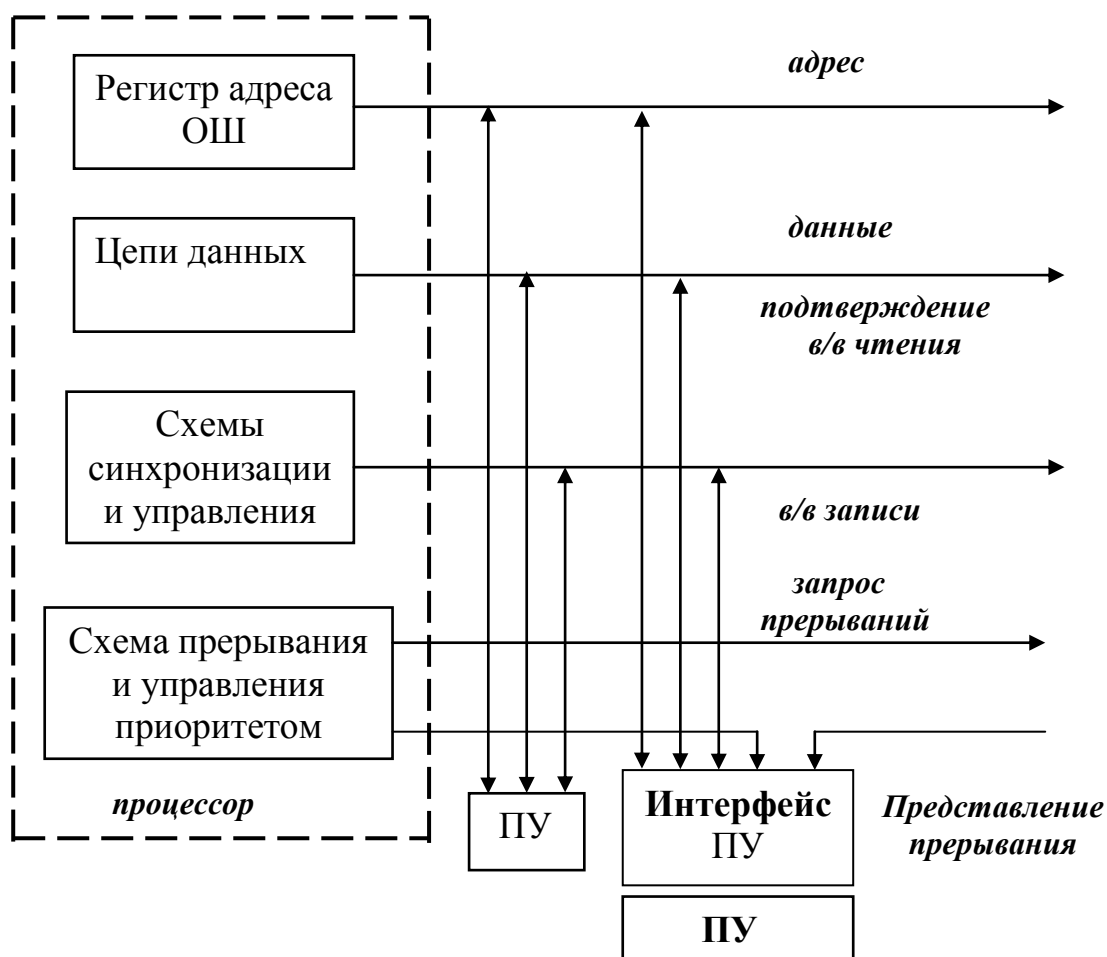


Рис.5.9. Структура общей шины

Взаимодействие двух устройств по ОШ основано на принципе “ведущий-ведомый” (master-slave). В каждый момент времени некоторое устройство (только одно) управляет ОШ, а исполнительное устройство (ведомый) выполняет операцию в соответствии с указаниями ведущего.

Ведущий получает ОШ в свое распоряжение на промежуток времени для выполнения определенной операции. В зависимости от операции одно и то же устройство может быть как ведущим, так и ведомым, за исключением устройств оперативной памяти (ОП), которые могут быть только ведомыми.

Принцип “ведущий-ведомый” на ОШ позволяет организовать автономный обмен (без участия Пр) между двумя ПУ, например, между магнитным диском и оперативной памятью. Выбор ведущего осуществляется схемой приоритета, находящейся в Пр. Каждое из устройств, которое может стать ведущим, имеет присвоенный ему приоритет. Выбор очередного ведущего

производится на основе сравнения приоритетов. Устройство с более высоким приоритетом берет на себя функции ведущего после освобождения ОШ процессором. Все передачи по ОШ осуществляются по методу квитирования (с подтверждением). На каждый сигнал управления, посылаемый ведущим, принимается ответ от исполнителя - ведомого.

В ОШ используется асинхронный способ передачи информации, что позволяет работать с устройствами различного быстродействия и получать максимальную скорость передачи данных (по сравнению с синхронным способом).

## Часть 2. Основы импульсной электроники

### Глава 6. Электронные схемы на операционных усилителях

#### 6.1. Параметры и характеристики операционных усилителей

*Операционный усилитель* (ОУ) – это усилитель постоянного тока, имеющий большой коэффициент усиления в широком диапазоне частот (от 0 до десятков МГц), выполненный по интегральной технологии. ОУ позволяет реализовать усилительные устройства, приближающиеся по свойствам к идеальным усилителям, и поэтому относится к универсальным электронным схемам, на основе которых строят разнообразные функциональные узлы.

Из теории усилителей известно, что при достаточно большом собственном коэффициенте усиления, усилительного элемента, а свойства усилительного каскада, охваченного цепями внешних обратных связей, определяются свойствами этих связей [1]. На основе ОУ выбором элементов цепей обратных связей можно обеспечить выполнение различных математических операций с аналоговыми сигналами: сложение, вычитание, интегрирование, дифференцирование, логарифмирование, усреднение и др.

Принципиальные схемы ОУ содержат, как правило, два или три транзисторных каскада усилителя напряжения (причем каждый каскад всегда выполняется по дифференциальной схеме), выходной каскад усиления тока (эмиттерный повторитель) и цепи согласования каскадов между собой.

С точки зрения применения этих усилителей более важной является информация не о принципиальной, а об эквивалентной схеме и параметрах усилителя.

Эквивалентная схема ОУ показана на рис. 6.1. а.

Как видно из эквивалентной схемы, ОУ имеет два основных входа и один выходной. Один из входов усилителя называется инвертирующим, а другой неинвертирующим. Инвертирующий вход обозначают маленьким кружком, либо знаком (-), а неинвертирующий знаком (+). Разность напряжений на входах ОУ ( $U_{вх}^+ - U_{вх}^-$ ) называют дифференциальным

(разностным) входным сигналом, а полусумму этих напряжений  $(U_{ВХ}^+ + U_{ВХ}^-)/2$  – синфазным входным сигналом.

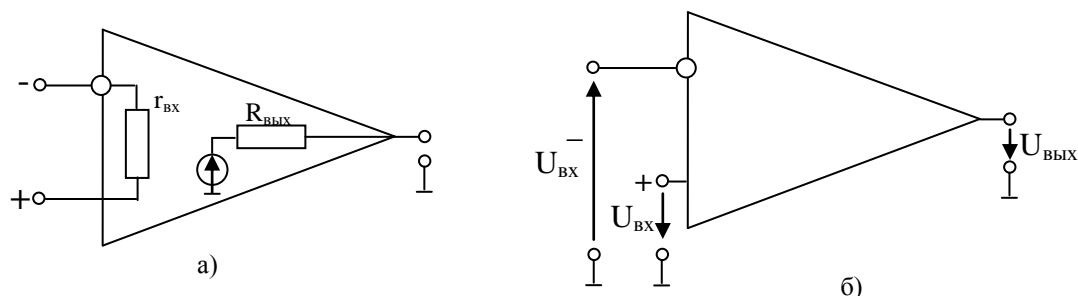


Рис.6.1. Операционный усилитель:  
а - эквивалентная схема; б – условное обозначение

**Параметры ОУ.** К основным параметрам ОУ относятся:

1. Коэффициент усиления (К), определяемый как отношение изменения выходного напряжения к вызвавшему его изменению дифференциального входного напряжения, т.е.

$$U_{ВЫХ} = K \cdot U_{ВХ}, \quad \text{где } U_{ВХ} = U_{ВХ}^+ - U_{ВХ}^-. \quad (6.1)$$

Коэффициенты усиления лежат в пределах  $10^3 - 10^6$ .

2. Напряжение смещения ( $e_{см}$ ) – дифференциальное входное напряжение  $U_{ВХ}$ , при котором выходное напряжение усилителя равно нулю. Для ОУ, у которых входные каскады выполнены на биполярных транзисторах, максимальное  $e_{см} = 3 - 10$  мВ. Если входные каскады выполнены на полевых транзисторах, то максимальное  $e_{см}$  лежит в пределах  $30 - 100$  мВ.

Зависимость выходного напряжения от входного для ОУ показана на рис. 6.2.

Параметрами ОУ являются входное и выходное сопротивление.

Входное сопротивление ( $R_{вх}$ ) – входное сопротивление со стороны одного из входов ОУ, в то время, как другой заземлен ( $\sim$  Мом). В некоторых случаях входным называют сопротивление ОУ ( $r_{вх}$ ) для дифференциального сигнала (как показано на рис. 6.1, а).

Выходное сопротивление ОУ ( $R_{\text{ВЫХ}}$ ) определяется точно также, как и для любого другого усилителя и составляет, обычно, величину, лежащую в диапазоне от нескольких десятков до несколько сотен Ом. Выходная цепь эквивалентной схемы ОУ представлена эквивалентным генератором, развивающим напряжение в соответствии с (6.1).

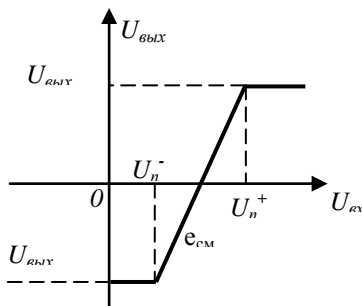


Рис.6.2. Передаточная характеристика операционного усилителя

На рис.6.2 показана передаточная характеристика ОУ. В диапазоне  $U_{\text{ВЫХ}}^- - U_{\text{ВЫХ}}^+$  передаточная характеристика практически линейна. Этот диапазон называется областью усиления. В областях насыщения с ростом  $I_{\text{ВХ}}$  увеличения  $U_{\text{ВЫХ}}$  не происходит. Границы области усиления  $U_{\text{ВЫХ}}^-$ ,  $U_{\text{ВЫХ}}^+$  отличаются приблизительно на 3В от соответствующих напряжений питания. Передаточная характеристика идеального ОУ, как отмечалось ранее, сдвинута вправо или влево от нуля. Поэтому, для того, чтобы добиться  $U_{\text{ВЫХ}} = 0$ , необходимо подать на вход ОУ разность напряжений, равную напряжению смещения  $e_{\text{см}}$ . Напряжение входного сигнала ограничено значениями  $U_{\text{ВХ}}^-$ ,  $U_{\text{ВХ}}^+$  относительно напряжения смещения на  $\pm 100$  мВ.

### **Схемы включения ОУ.**

Различают две основные схемы включения ОУ, охваченного отрицательной обратной связью – инвертирующую и неинвертирующую.

В инвертирующей схеме (рис.6.3, а) входной сигнал подается на инвертирующий вход (-) и фаза выходного сигнала сдвинута относительно фазы входного сигнала на  $180^\circ$ . В неинвертирующей схеме входной сигнал

подается на вход (+) и сдвиг фаз выходного сигнала относительно входного равен 0.

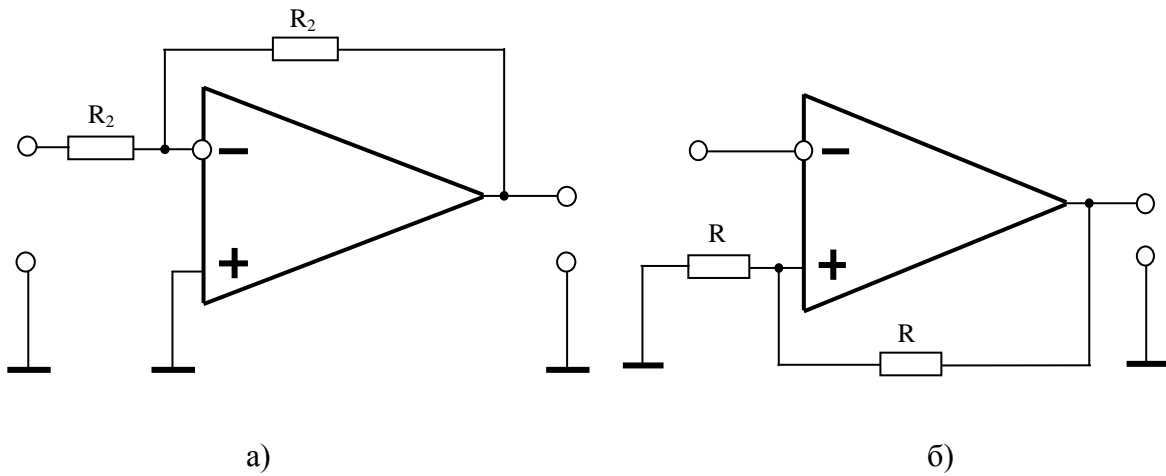


Рис.6.3. Схемы включения операционных усилителей:  
 а – с отрицательной обратной связью;  
 б – с положительной обратной связью

Для придания зависимости выходного сигнала  $U_{\text{вых}}$  от  $U_{\text{вх}}$  гистерезисных свойств, необходимо в схеме ОУ введения положительной обратной связи (ОС) с помощью делителя  $R_0$  и  $R$  (рис.6.2, б). Коэффициент положительной обратной связи

$$\gamma_{oc} = \frac{R}{R + R_0} \quad (6.2)$$

определяет линейную зависимость между  $U_{\text{вх}}^+ = \gamma_{oc} \cdot U_{\text{вых}}$ . Пороговые значения входного сигнала  $U_{\text{вх}}^-$ , при которых меняется состояние схемы, зависят от величины коэффициента положительной ОС  $\gamma_{oc}$ .

$$\begin{aligned} U_n^- &= \gamma_{oc} U_{\text{вых}}^-, \\ U_n^+ &= \gamma_{oc} \end{aligned} \quad (6.3)$$

Зависимость выходного сигнала от входного показана на рис.6.4. Такая характеристика ОУ позволяет построение на этой основе регенеративных импульсных устройств.

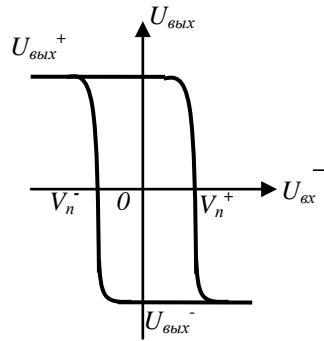


Рис.6.4. Зависимость выходного напряжения от входного в схеме с положительной обратной связью

## 6.2. Решающая схема на операционном усилителе

Рассмотрим работу схемы решающего усилителя, представляющую собой схему ОУ с глубокой внешней отрицательной обратной связью (ООС) (рис. 6.5).

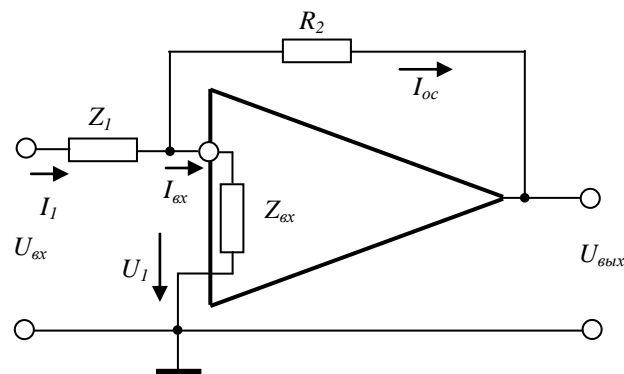


Рис.6.5. Решающая схема на операционном усилителе

Для упрощения выкладок рассмотрение будем проводить в оперативной форме (в пространстве изображений).

$$U(t) \div U(p), \quad i(t) \div I(p), \quad z \div Z(p) \quad (6.4)$$

При большом входном сопротивлении  $Z_{\text{вх}}$  можно считать, что ток источника, подключаемого ко входу ОУ, не поступает на вход ОУ, а проходит в цепь обратной связи:  $I_{\text{вх}} \approx I$ ,  $I_1 \approx I_{\text{оc}}$ . При наложенных выше ограничениях уравнение, связывающее напряжения на входе и выходе, можно записать в виде

$$U_{\text{вх}} = I_1 Z_1 + I_1 Z_{\text{оc}} + U_{\text{вых}} \quad (6.5)$$



Учтем, что выходное напряжение связано с выражением непосредственно на входе ОУ

$$U_{\text{вых}} = -KU_1 \quad (6.6)$$

На рис. 1.5, с учетом условия  $I_{\text{ex}} = 0$ ,

$$I_1 = I_{oc} = \frac{U_{\text{ex}} - U_1}{Z_1}. \quad (6.7)$$

Совместное решение (1.5)...(1.7) дает

$$K_{yc} = \frac{I_{\text{вых}}}{I_{\text{ex}}} = -\frac{Z_{oc}}{Z_1} \cdot \frac{1}{1 + \frac{1}{K} + \frac{Z_{oc}}{K \cdot Z_1}}.$$

При большом  $K$  (обычно  $K = 10^3 \div 10^6$ ) можно считать, что

$$K_{yc} = -Z_{oc}/Z_1, \quad (6.8)$$

т.е. коэффициент усиления усилителя на ОК определяется только параметрами внешних элементов  $Z_{oc}$  и  $Z_1$ .

### **Входное эквивалентное сопротивление решающего усилителя.**

Источником погрешностей схем на ОУ является их нестабильность, а также конечное значение коэффициента усиления ОУ  $K$ . Для оценки погрешностей вводят понятие эквивалентного входного сопротивления ОУ, которое находится следующим образом.

Так как обычно ОУ работает при ничтожном входном токе  $I_{\text{вх}} \rightarrow 0$  ( $\sim 10^{-6} \div 10^{-8}$  А), то его активная часть входного сопротивления очень велика ( $\sim 1$  Мом), а малая входная емкость ( $\sim 1 \div 3$  пФ) влияет лишь на временной сдвиг передаваемого сигнала. Поэтому влиянием собственного входного сопротивления ОУ на его работу можно пренебречь. Достаточно учитывать влияние эквивалентного входного сопротивления  $Z_{\text{ex}}$  (рис. 6.5), вызванного действием отрицательной обратной связи.

С физической точки зрения глубокая отрицательная обратная связь резко уменьшает напряжение  $U_1$  и тем более, чем больше  $K$ . Это вызвано почти коротким замыканием входа ОУ с отрицательной обратной связью,

Когда  $Z_x \rightarrow 0$ , все входное напряжение практически падает на  $Z_1$ , образующее делитель с  $Z_{\text{вх}}$ .

Малая величина  $Z_{\text{вх}}$  обусловлена влиянием отрицательной обратной связи через цепь  $Z_{\text{ос}}$ . Действительно, так как  $U_{\text{вых}} = -KU_1$ ,

$$I_1 = I_{\text{ос}} = \frac{U_1 - U_{\text{вых}}}{Z_{\text{ос}}} = \frac{U_1 + KU_1}{Z_{\text{ос}}} \approx \frac{K}{Z_{\text{ос}}} \cdot U_1,$$

то 
$$Z_{\text{вх}} = \frac{U_1}{I_1} = \frac{Z_{\text{ос}}}{K} \ll Z_{\text{ос}}. \quad (6.9)$$

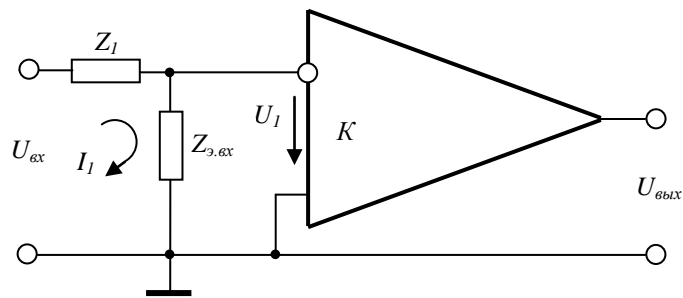


Рис..6.6. Эквивалентная схема решающего усилителя с отрицательной обратной связью

Введение эквивалентного входного сопротивления позволяет представить эквивалентную схему усилителя на ОУ с глубокой отрицательной обратной связью в виде (6.6), удобном для физической интерпретации.

В соответствии с этой схемой входное напряжение подается на делитель напряжения, образуемый  $Z_1$  и  $Z_{\text{вх}}$ , затем усиливается с коэффициентом  $K$  и бесконечно большим входным сопротивлением

$$U_{\text{вых}} = U_{\text{вх}} \frac{Z_{\text{вх}}}{Z_1 + Z_{\text{вх}}} (-K) = -U_{\text{вх}} K \frac{\frac{Z_{\text{ос}}}{K}}{Z_1 + \frac{Z_{\text{ос}}}{K}} = -\frac{Z_{\text{ос}}}{Z_1 + \frac{Z_{\text{ос}}}{K}} \cdot U_{\text{вх}} \approx -\frac{Z_{\text{ос}}}{Z_1} \cdot U_{\text{вх}}.$$

При  $K \rightarrow \infty$ ,  $Z_{\text{вх}} \rightarrow 0$  и ошибки уменьшаются. Конечное значение  $K$  приводит к ошибкам.

### 6.3. Масштабный усилитель

Схема масштабного ОУ имеет активные внешние элементы  $Z_1 = R_1$ ,  $Z_{oc} = R_{oc}$ . В соответствии с общим соответствием для коэффициента усиления схемы усилителя на ОУ, в данном случае

$$U_{вых} = -\frac{R_{oc}}{R_1} \cdot U_{вх}, \quad (6.10)$$

т.е. происходит умножение  $U_{вх}$  на постоянный весовой коэффициент  $R_{oc}/R_1$  с изменением знака на противоположный.

Инвертор является частным случаем масштабного усилителя при  $R_{oc} = R_1$ . Он лишь меняет знак  $U_{вх}$ , не изменяя его величины  $U_{вых} = -U_{вх}$ .

Сумматор. Схема сумматора (рис.6.7) содержит входных каналов на входе ОУ с активными внешними элементами. Учитывая, что для одного канала справедливо соответствие (1.10), полное напряжение на выходе ОУ от всех входов равно

$$U_{вых} = -R_{oc} \sum_{k=1}^n \frac{U_{вх.k}}{R_k} = -\left(\frac{R_{oc}}{R_1} \cdot U_{вх.1} + \frac{R_{oc}}{R_2} \cdot U_{вх.2} + \dots + \frac{R_{oc}}{R_n} \cdot U_{вх.n}\right).$$

Из приведенного выражения видно, что происходит суммирование всех входных напряжений с одновременным умножением их на весовые коэффициенты  $R_{oc}/R_k$ .

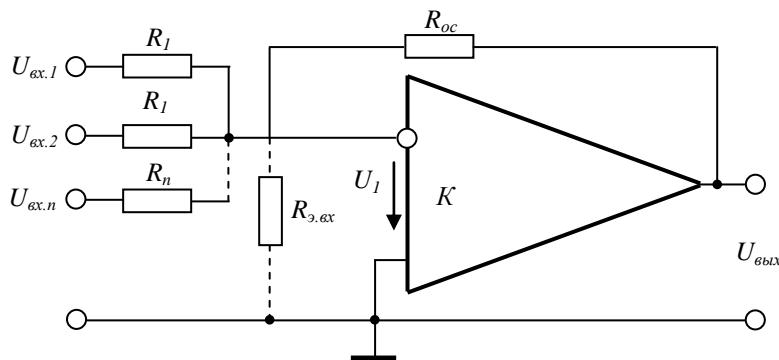


Рис.6.7. Схема сумматора на операционном усилителе

При этом знак суммы меняется на противоположный.

В частном случае,  $R_1 = R_2 = \dots = R_n$  происходит простое суммирование с инверсией.

$$U_{вых} = -\sum_{k=1}^n U_{вх.k}$$

Если аналогичным образом через такие же сопротивления загрузить прямой вход ОУ напряжениями  $U'_1, \dots, U'_n$ , то схема обеспечивает разность сумм

$$U_{\text{вых}} = \sum_{i=1}^n U'_i = -\sum_{k=1}^n U_k.$$

Погрешность сумматора. Ошибку сумматора нетрудно определить, учитывая эквивалентное входное сопротивление, которое в рассматриваемом случае  $Z_{\text{вх}} = R_{oc}/K$ .

Напряжение на входе ОУ  $U_1$  (рис.1.7) будет равно

$$U_1 = \frac{R_{oc}}{K} \cdot \sum_{k=1}^n \frac{U_{\text{вх},k} - U_1}{R_k},$$

при  $R_1 = R_2 \dots R_n = R$

$$U_1 = \frac{R_{oc}}{R \cdot K} \sum_{k=1}^n U_{\text{вх},k} - \frac{R_{oc}}{R \cdot K} \cdot n \cdot U_1.$$

Выходное напряжение

$$U_{\text{вых}} = -KU_1 = -\frac{R_{oc}}{R} \sum_{k=1}^n U_{\text{вх},k} + \frac{R_{oc}}{R} \cdot n \cdot U_1.$$

Первое слагаемое соответствует выходному напряжению сумматора при отсутствии погрешности (когда коэффициент усиления ОУ бесконечно велик). Второе слагаемое

$$\Delta U_{\text{вых}} = n \frac{R_{oc}}{R} \cdot U_1 = -n \frac{R_{oc}}{R \cdot K} \cdot U_{\text{вых}}$$

определяет абсолютную ошибку сумматора.

Тогда относительная погрешность сумматора равна

$$\delta = \left| \frac{\Delta U_{\text{вых}}}{U_{\text{вых}}} \right| = n \cdot \frac{R_{oc}}{R \cdot K}.$$

Она тем больше, чем меньше усиление операционного усилителя и чем больше каналов на входе ОУ.

В частном случае, при  $n=1$  вышесказанное справедливо для относительной ошибки масштабного усилителя.

#### 6.4. Логарифмирующая схема

Для выполнения логарифмирования и обратной операции антилогарифмирования – применяется схема на операционных усилителях, в которых роль  $Z_{oc}$  и  $Z_I$  выполняют диоды с плоскостным р-п переходом. Вольтамперная характеристика плоскостного р-п перехода определяется равенством

$$I_D = I_S (e^{\frac{U_D}{U_T}} - 1),$$

где  $I_S$  – обратный ток насыщения,  $U_T = kT/q$  – температурный потенциал,  $k$  – постоянная Больцмана,  $T$  – абсолютная температура,  $q$  – заряд электрона. При комнатной температуре  $T = 290^0\text{K}$  и  $U_T = 0,025\text{В}$ . При  $U_D > 4U_T$  достаточно точным является соотношение

$$I_D = I_S e^{\frac{U_D}{U_T}} \quad (6.11)$$

Логарифмирующая схема на ОУ показана на рис.1.8.

Уравнения, связывающие напряжения  $U_1$ ,  $U_D$  и  $U_{\text{вых}}$

$$U_1 = U_D + U_{\text{вых}},$$

$$U_1 = -U_{\text{вых}}/K. \quad (6.12)$$

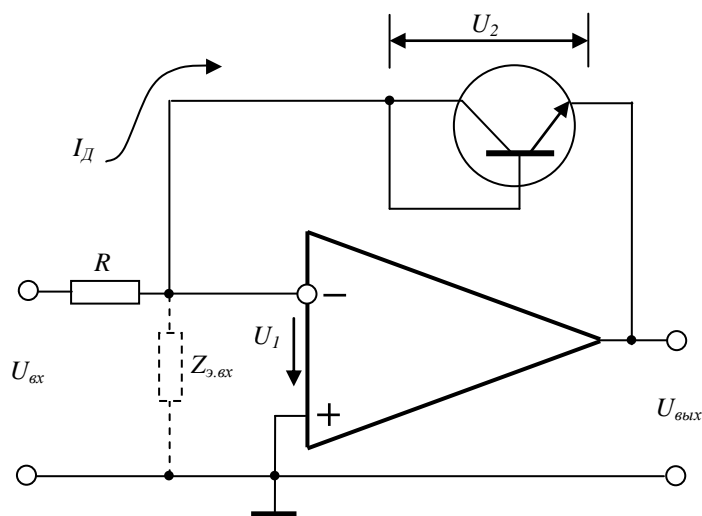


Рис.6.8. Логарифмическая схема на операционном усилителе

Выражение для  $U_D$  нетрудно получить, логарифмируя (6.11)

$$U_D = U_T \ln \frac{I_D}{I_S} \quad (6.13)$$

## 6.5. Антилогарифмирующая схема

Антилогарифмирующая схема на ОУ показана на рис.6.9. Роль сопротивления  $Z_1$  выполняет диод с плоскостным  $p-n$  – переходом, как и в предыдущей схеме.

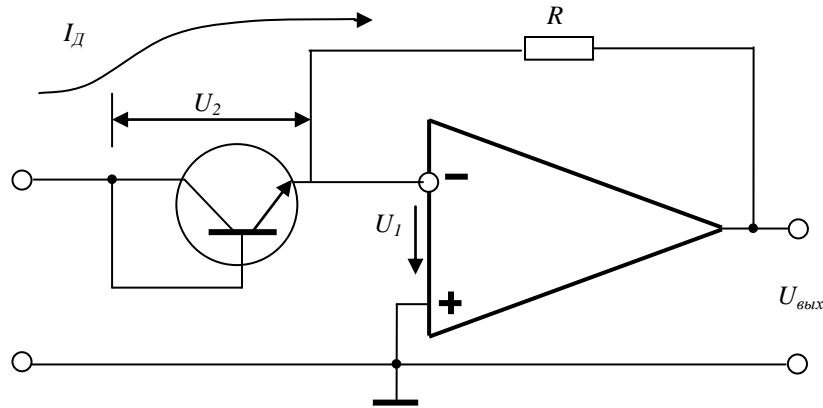


Рис.6.9. Антилогарифмирующая схема на операционном усилителе

Система уравнений, связывающее входное и выходное напряжения записываются следующим образом:

$$U_1 = i_D \cdot R + U_{\text{вых}}, i_D = I_S \cdot e^{\frac{U_D}{U_T}},$$

$$U_{\text{вых}} = -\frac{U_{\text{вых}}}{K}, U_{\text{вх}} = U_D + U_1.$$

Откуда  $U_{\text{вых}} = R \cdot I_S \cdot e^{\frac{U_{\text{вх}} - U_1}{U_T}} \approx R \cdot I_S \cdot e^{\frac{U_{\text{вх}}}{U_T}}$ , так как  $U_1 \ll U_D$ .

Погрешность схемы нетрудно определить, представив выражение для выходного напряжения в виде

$$\begin{aligned} U_{\text{вых}} &= R \cdot I_S \cdot e^{\frac{U_{\text{вх}} - U_1}{U_T}} \approx R \cdot I_S \cdot e^{\frac{U_{\text{вх}}}{U_T}} \cdot e^{-\frac{U_{\text{вых}}}{U_T \cdot K}} = R I_S e^{\frac{U_{\text{вх}}}{U_T}} \left(1 - \frac{U_{\text{вых}}}{U_T \cdot K}\right) = \\ &= R \cdot I_S e^{\frac{U_{\text{вх}}}{U_T}} - R \cdot I_S \cdot \frac{U_{\text{вых}}}{U_T \cdot K} \cdot e^{\frac{U_{\text{вх}}}{U_T}}. \end{aligned}$$

Первое слагаемое определяет напряжение на выходе схемы. Второе слагаемое соответствует абсолютной ошибке

$$|\Delta U_{\text{вых}}| = U_{\text{вых}} \frac{R I_S}{U_T \cdot K} e^{\frac{U_{\text{вх}}}{U_T}},$$

растущей пропорционально величине выходного напряжения.

Тогда относительная ошибка определяется как

$$\delta = \left| \frac{\Delta U_{\text{вых}}}{U_{\text{вых}}} \right| = \frac{I_S \cdot R}{K \cdot U_T} \cdot \exp \frac{U_{\text{вх}}}{U_T}.$$

Из последних выражений видно, что в отличие от логарифмирующей схемы, данная схема работает с меньшими абсолютными и относительными ошибками при малых входных напряжениях.

### **Вопросы для самопроверки**

1. Какой операционный усилитель называется идеальным?
2. Почему один из входов ОУ называется инвертирующим?
3. Какие основные схемы включения ОУ?
4. Чем определяется диапазон входных напряжений в логарифмирующей и антилогарифмирующей схемах на ОУ?

## Глава 7. Генераторы импульсных сигналов

### 7.1. Параметры импульсных сигналов

В системах связи, радиолокации, в вычислительной технике и других областях радиоэлектроники широко используются импульсные устройства. Напряжения и токи в таких устройствах имеют характер импульсов.

Электрическим импульсом называют напряжение (ток), отличающееся от постоянного уровня в течении короткого промежутка времени. Под коротким промежутком времени понимают время, соизмеримое с длительностью переходных процессов. Форма импульсов может быть разнообразней. На рис.7.1, а изображены импульсы прямоугольной формы. Иногда приходится иметь дело с импульсами треугольной формы (рис.7.1, б), трапецидальной (рис.7.1, в), экспоненциальной (рис.7.1, г) формы и др.

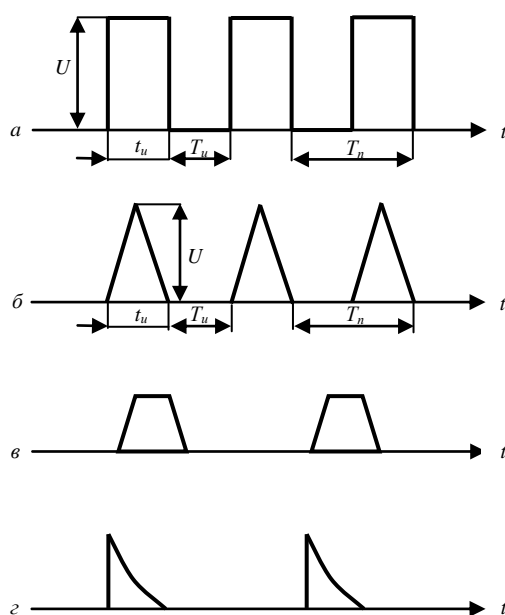


Рис.7.1. Импульсные сигналы различной формы: а – прямоугольной; б – треугольные; в – трапецидальные; г - экспоненциальные

Если импульсы следуют один за другим через равные промежутки времени, то в этом случае говорят о периодической последовательности импульсов с периодом  $T_n = t_u + T_u$ . Число импульсов, следующих в течение одной секунды, называется частотой повторения импульсов, которая определяется как величина, обратная периоду повторения



$$F_n = \frac{1}{T_n} \quad (7.1.)$$

Периодическую последовательность импульсов обычно характеризуют коэффициентом заполнения или скважностью. Коэффициент заполнения

$$\xi = \frac{t_u}{T_n}.$$

Это отношение длительности импульса к периоду его повторения.

Величина обратная коэффициенту повторения называется скважностью

$$Q = \frac{T_n}{t_u}. \quad (7.2)$$

В цифровой технике  $Q > 10$ , в связи и телеметрии  $Q = 10 \div 100$ , в радиолокации  $Q \geq 1000$ .

Реально получаемы импульсы не имеют острых изломов и геометрически простой формы, как показано на рис.7.1.

Однополярные электрические импульсы называют видеоимпульсами. Они не содержат высокочастотных колебаний. Электрические импульсы, представляющие собой ограниченные во времени ВЧ или СВЧ электромагнитные колебания, огибающая которых имеет форму видеоимпульса, называют радиоимпульсами.

На рис.7.2 представлен реально получаемый импульс прямоугольной формы.

Принято различать следующие участки импульса: фронт, вершина, срез, основание. Срез называют иногда задним фронтом.

Основные параметры видеоимпульса:

- 1) высота импульса (амплитуда) –  $A$ ;
- 2) спад вершины импульса –  $\Delta A$ ;
- 3) длительность импульса  $t_n$ , определяют на уровне  $0,1A$ ;
- 4) время установления или нарастания фронта импульса (длительность фронта импульса)  $t_\phi$  – время нарастания сигнала от уровня  $0,1$  до уровня  $0,9$  своего максимального значения;

- 5) длительность среза  $t_c$  определяется аналогично  $t_\phi$ ;
- 6) длительность вершины импульса  $t_B$  – на уровне  $0,9A$ ;
- 7) активная длительность импульса  $t_{иа}$  – на уровне  $0,5A$ .

Выброс, образующийся чаще всего после спада, называют хвостом импульса, который характеризуется длительностью  $t_x$  и амплитудой выброса  $A_B$ . В этом случае расчетная длительность среза  $t_c$  должна быть увеличена. Периодическую последовательность импульсов характеризуют следующими параметрами:

- 1) периодом повторения импульсов  $T$ ;
- 2) частотой повторения импульсов  $f = 1/T$ ;
- 3) скважностью импульсов  $Q = T/t_{и}$ ,  $Q > 1$ ;
- 4) коэффициентом заполнения  $K_3 = 1/Q = t_{и}/T$ ,  $K_3 < 1$ .

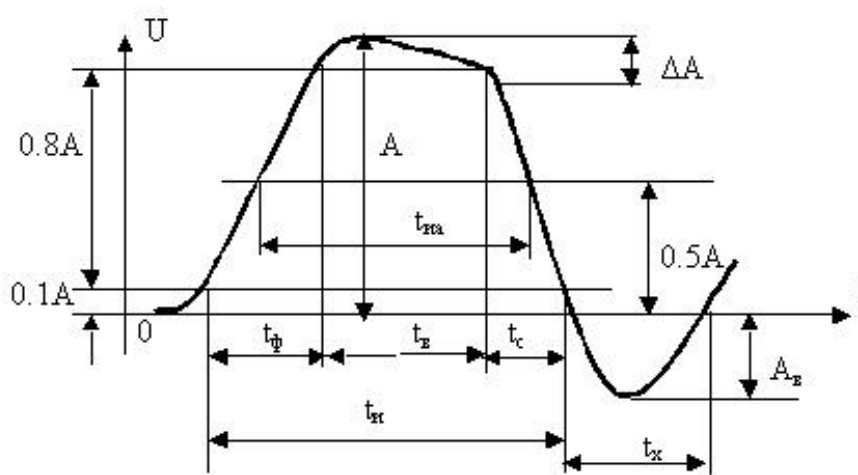


Рис.7.2. Параметры реального импульса прямоугольной формы.

Устройства, в которых выполняются основные виды преобразований импульсных сигналов, разделяются на несколько видов:

а) электрические цепи, обеспечивающие неискаженную передачу импульсов – линии передачи, кабели, трансформаторы, линии задержки, усилители импульсов (видеоусилители);

б) устройства преобразования импульсов обеспечивают получение импульсов одной формы из импульсов другой формы или той же формы, но с другими параметрами:

- линейные преобразователи (интегрирующие и дифференцирующие устройства);
- нелинейные формирующие устройства (ограничители, компараторы, триггеры Шмитта, формирователи);
- преобразователи импульсов цифровых устройств, предназначенные для выполнения логических функций и преобразований одной последовательности импульсов в другую (логические элементы, триггеры, счетчики, регистры, комбинационные устройства);
- в) импульсные генераторы (автогенераторы, мультивибраторы, одновибраторы, синхронизируемые генераторы, делители частоты).

Основу всех этих устройств составляют электронные ключи.

## 7.2. Мультивибраторы на логических элементах

Мультивибраторы часто выполняют на логических элементах (рис. 7.3). Логические элементы (ЛЭ) схемно представляют собой усилители с большим коэффициентом усиления, у которых имеются два входных пороговых значения  $U_{вх.пор}^0, U_{вх.пор}^1$ . Следовательно, обеспечив положительную обратную связь, как на схеме рис.7.3, при наличии реактивного элемента, можно получить процесс генерации колебаний подобно тому, как было рассмотрено ранее.

Принципиальная возможность построения мультивибратора вытекает из того, что в состав основных ЛЭ (И-НЕ, ИЛИ-НЕ) входит усилитель-инвертор. Используя два инвертора, охваченных взаимной межкаскадной связью можно построить автоколебательный мультивибратор. Структурная схема такого мультивибратора изображена на рис.7.3. Благодаря включению конденсаторов  $C_1$  и  $C_2$  вместо бистабильной системы типа триггера образуется статическая неустойчивая автоколебательная система. Конденсаторы в этой системе выполняют роль времязадающих емкостных элементов, определяющих частоту автоколебаний.

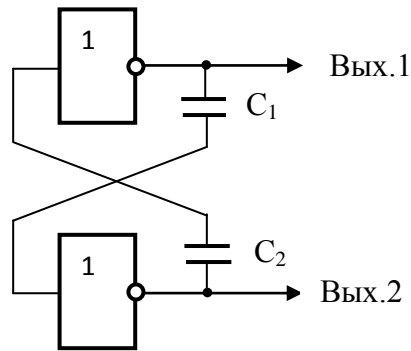


Рис.7.3. Схема мультивибратора на логических элементах-инверторах

Каждый из инверторов мультивибратора выполняет роль органа обратной связи другого инвертора. В соответствии с этим полученный генератор имеет два выхода, выходные сигналы которого изменяются в противофазе. Это обусловлено тем, что в отношении быстрых регенеративных процессов конденсаторы  $C_1$  и  $C_2$  ведут себя как короткозамкнутые элементы.

Схема мультивибратора и временные диаграммы процессов в нем приведены на рис. 7.4.

Конденсаторы  $C_1$  и  $C_2$ , резисторы  $R_1 = R_2 = R$  являются элементами автоколебательной системы. Диоды VD1 и VD2 служат для ограничения отрицательных полуволн входных напряжений, что исключает возможность пробоя эмиттерных переходов транзисторов. Во многих сериях ТТЛ-элементов такие диоды содержатся в самой интегральной схеме и необходимость и необходимость установки их снаружи отпадает. Изменения потенциалов на выходах ЛЭ обусловлены перезарядом конденсаторов  $C_1$  и  $C_2$ .

В процессе автоколебаний инверторы DD1 и DD2 поочередно находятся в закрытом и открытом состоянии. Во время закрытого состояния, например, инвертора DD1, когда его входное напряжение мало, а выходное велико, конденсатор  $C_1$  заряжается по цепи отсочника  $E \rightarrow R_{\text{вых}1} \rightarrow C_1 \rightarrow R_2 \rightarrow -E$ . (здесь  $R_{\text{вых}1}$  – дифференциальное выходное сопротивление элемента, находящегося в состоянии «1»). Зарядный ток  $i_1$ , протекая через резистор  $R_2$  на входе DD2 напряжение  $U_{\text{вх}2} = i_1 R_2$ , которое в течение  $t_{n2}$  выше порогового

напряжения  $U_n$ . Следовательно в течении этого времени удерживается открытое состояние DD2 (на входе высокий уровень напряжения).

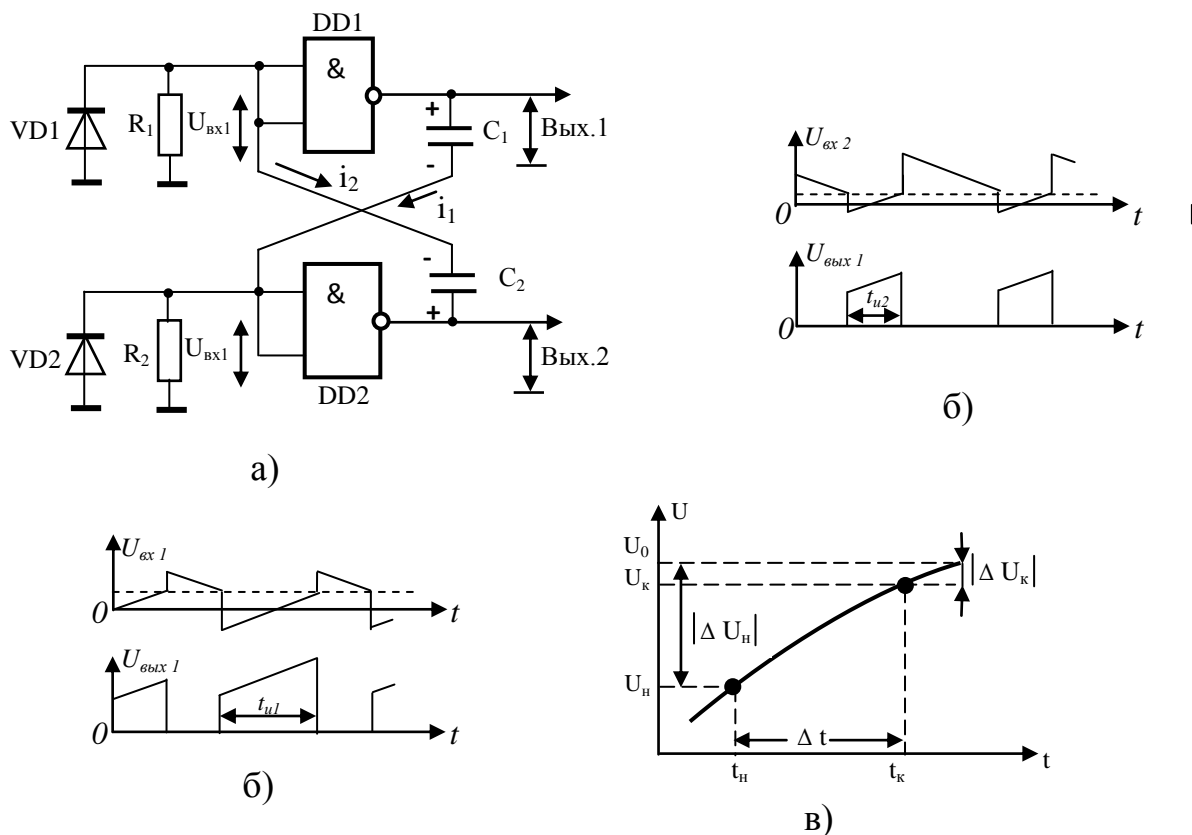


Рис.7.4. Схема (а) и временные диаграммы напряжений (б) мультивибратора на элементах И-НЕ и (в)- нарастание по экспоненциальному закону

При уменьшении  $U_{вх2}$  до  $U_n$  инвертор DD1 закрывается и система опрокидывается. Таким образом, длительность закрытого состояния DD1 и соответственно, открытого состояния определяется процессами во входной цепи открытого инвертора.

Процесс во входной цепи закрытого инвертора DD1 связаны с перезарядом конденсатора  $C_2$ , который за время закрытого состояния DD2 зарядился до некоторого напряжения  $U_{c1}$ .

При отпирании DD2 напряжение  $U_{вых2}$  снимается практически до нуля и конденсатор  $C_2$  начинает разряжаться на инвертор DD2 через  $R1(+C2 \rightarrow R_{вых2} \rightarrow C_2 R_{вых2}$  – выходное сопротивление элемента DD2 в состоянии «0»). Разряд конденсаторов происходит быстро, так как сопротивление диода и выходное сопротивление DD2 малы.

Длительность  $t_{n1}$  и  $t_{n2}$  рабочих тактов мультивибратора находятся из соотношений, основанных на приближенной оценке напряжений на конденсаторах в момент начала его заряда  $t = 0$  и окончании.

Для определения времени разряда конденсатора воспользуемся зависимостью поведения экспоненциальной функции, проходящей через точку  $U_n$  в момент времени  $t_n$  (рис.7.4.в).

$$U(t) = (U_n - U_0)e^{-\frac{t-t_n}{\tau}} + U_0, \quad (7.3)$$

где  $U_n$  – постоянная величина, к которой стремится напряжение по экспоненциальному закону с постоянной времени  $\tau = RC$ .

Для расчета интервала времени  $\Delta t = t_k - t_n$  следует пользоваться формулой, легко получаемой из предыдущего выражения.

Если для  $t = t_k$  подставить в него  $U(t_k) = U_k$  и полученное уравнение решить относительно  $\Delta t = t_k - t_n$ , то

$$\Delta t = \tau \ln \frac{U_n - U_0}{U_k - U_0} \cong \tau \left| \frac{\Delta U_n}{\Delta U_k} \right|. \quad (7.4)$$

Тогда при открытом инверторе DD1 напряжение на его входе

$$U_{\text{вх1}}(t) = U_0 e^{-\frac{t}{R_1 C_2}},$$

где  $U_0$  – напряжение высокого уровня, в момент  $t = 0$ , а в момент запираания  $t_{n1}$

$$U_{\text{вх1}}(t_{n1}) = U_n$$

Тогда

$$t_{n1} = R_1 C_2 \ln \frac{U_0}{U_n}.$$

Аналогично

$$t_{n1} = R_2 C_1 \ln \frac{U_0}{U_n}.$$

Схема, представленная на рис.7.4,а имеет существенный недостаток: она может находиться в устойчивом состоянии равновесия при  $U_{\text{вых1}} = U_{\text{вых2}} =$

$U_0$ , возникающем при включении источника питания, при котором автоколебания в схеме отсутствуют. Чтобы устранить описанный выше недостаток, рассмотренную схему дополняют элементом «И» (рис.7.5). Часть схемы левее DD3 и DD4 аналогична схеме, показанной на рис. 7.4,а.

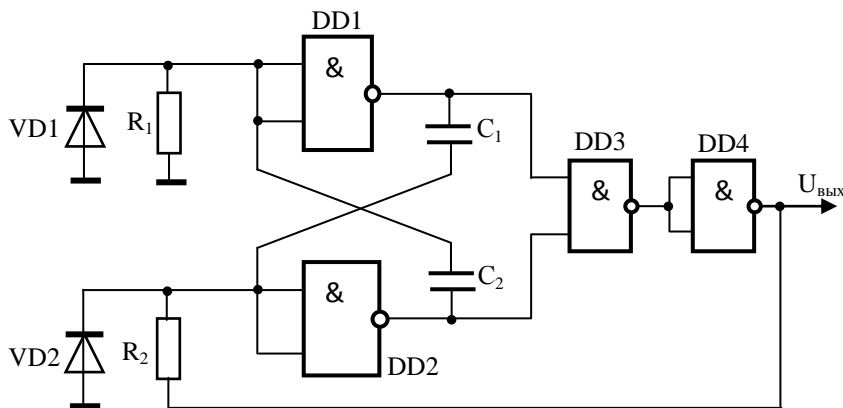


Рис. 7.5. Модифицированная схема мультивибратора на элементах И-НЕ

Если мультивибратор работает нормально (т.е. один из элементов DD1 и DD2 заперт, а другой открыт), то на входах элемента DD3 будут действовать разные логические уровни «0» и «1» и на выходе DD4 будет логический «0». При этом резистор  $R_2$  через низкое выходное сопротивление открытого элемента DD4 по существу соединен с «землей» - принципиально схема аналогична приведенной на рис. 7.4,а. Если элементы DD1 и DD2 одновременно заперты, на входах элемента DD3 будут действовать «1». В результате действия «1» с выхода DD4 открывается элемент DD2 – в схеме создаются условия для возникновения колебательного процесса.

### 7.3. Ждущие мультивибраторы на логических элементах

Схема ждущего мультивибратора отличается от схемы автоколебательного мультивибратора (рис. 7.6) отсутствием второй времязадающей цепи и наличием цепи запуска, включающей инвертор на элементе DD3. В исходном состоянии элемент DD2 находится в состоянии «1», что обеспечивается подключением к его входу резистора  $R$  с небольшим сопротивлением. Элемент DD1 находится в состоянии «0», так как на его

обоих входах действуют логические «1». Элемент DD3 служит для запуска мультиметра.

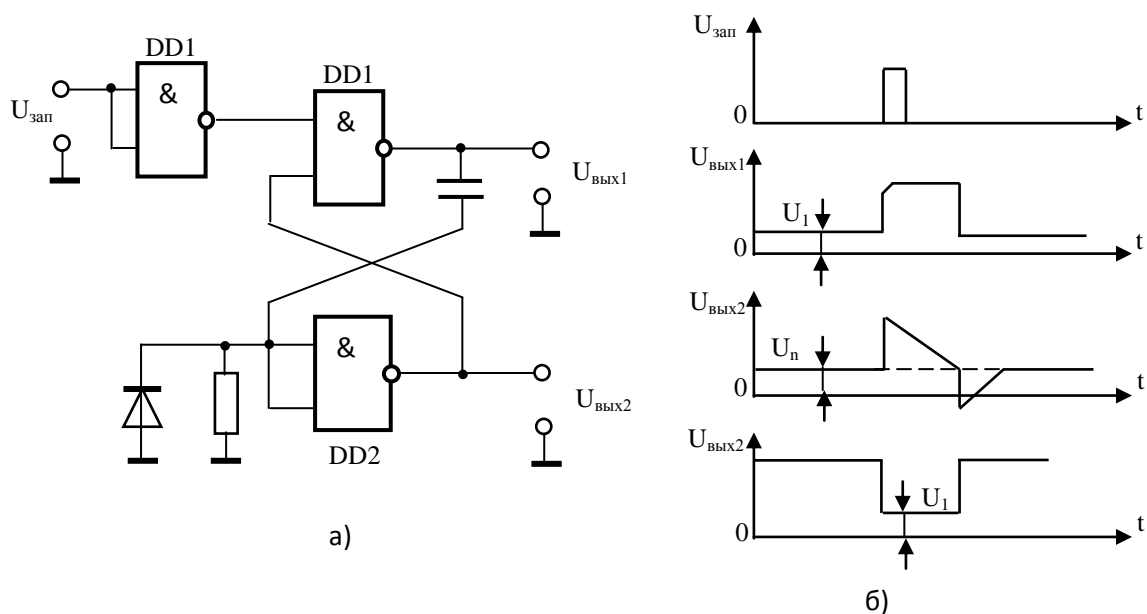


Рис. 7.6. Ждущий мультивибратор на логических элементах И-НЕ:  
а – схема; б – временные диаграммы напряжений

#### 7.4. Мультивибраторы на операционных усилителях

Мультивибраторы часто строят на ОУ. Как отмечалось в п.7.1., для придания зависимости выходного сигнала  $U_{\text{ВЫХ}}$  от  $U_{\text{ВХ}}$  гистерезисных свойств необходимо в схеме ОУ введения положительной обратной связи (ОС) с помощью делителя  $R_0$  и  $R$  (рис. 7.7, а). Коэффициент обратной связи

$$\gamma_{oc} = \left(1 + \frac{R_0}{R}\right)^{-1}$$

Определяет линейную зависимость напряжениями (7.3)

$$U_n^- = \gamma_{oc} U_{\text{ВЫХ}}^-, \quad U_n^+ = \gamma_{oc} U_{\text{ВЫХ}}^+.$$

Тогда выходной сигнал операционного усилителя будет принимать два значения

$$U_{\text{ВЫХ}} = \begin{cases} U_{\text{ВЫХ}}^- < 0, & U_{\text{ВХ}}^- > U_n^+ = U_n^- = \gamma_{oc} U_{\text{ВЫХ}}^-, \\ U_{\text{ВЫХ}}^+ > 0, & U_{\text{ВХ}}^+ > U_n^- = U_n^+ = \gamma_{oc} U_{\text{ВЫХ}}^+ \end{cases}$$



Следовательно, для установления в схеме колебательного процесса необходимо, чтобы сигнал  $U_{\text{ВХ}}$  периодически менялся попеременно, то нарастая, то убывая, между пороговыми значениями  $U_n$  и  $U_n^+$ , вызывая тем самым переключение выходного сигнала. Такое изменение осуществляется благодаря включению в цепь отрицательной обратной связи усилителя времязадающих элементов  $C$  и  $R_1$ . В результате в этой цепи, находящейся под воздействием напряжения  $U_{\text{ВЫХ}}(t)$ , образуются релаксационные колебания на конденсаторе  $C$  ( $U_c = U_{\text{ВХ}}$ ), который то разряжается, то заряжается.

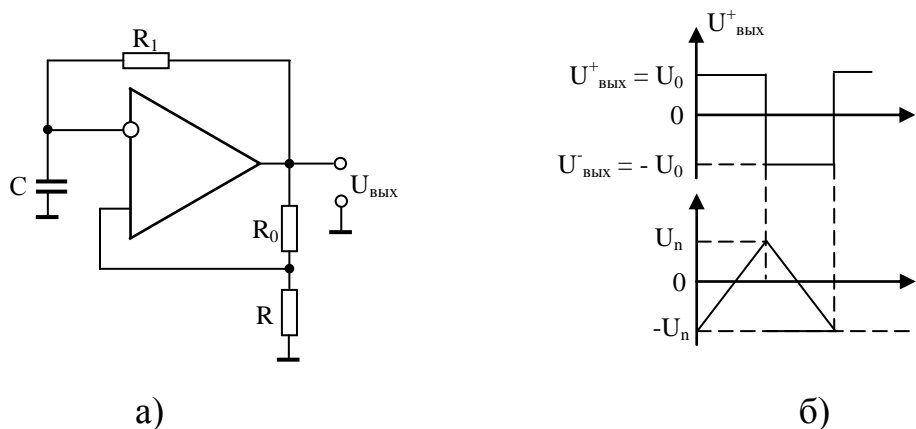


Рис.7.7. Мультивибратор на операционном усилителе:  
а – схема; б – временные диаграммы напряжений

Рассмотрим взаимодействие процессов в цепях положительной и отрицательной обратной связи ОУ является источником напряжения  $U_{\text{ВЫХ}}$ , обладающего внутренним сопротивлением  $R_{\text{ВЫХ}} \approx 0$ , а входное сопротивление ОУ  $R_{\text{ВХ}} \approx \infty$ .

Пусть  $U_{\text{ВЫХ}} = U_{\text{ВЫХ}}^+ > 0$ . В этом случае

$$U_{\text{ВХ}}^+ = \gamma_{\text{ос}} U_{\text{ВЫХ}}^+ > U_{\text{ВХ}}^- = U_c .$$

Поэтому  $U_{\text{ВЫХ}}^+ > U_c$  и конденсатор  $C$  заряжается с постоянной времени  $CR_1$ , стремясь к  $U_c(\infty) = U_{\text{ВЫХ}}^+$ . Но при  $U_c = U_{\text{ВХ}}^- = U_n^+ = \gamma_{\text{ос}} U_{\text{ВЫХ}}^+$  происходит опрокидывание схемы, в результате чего выходное напряжение скачкообразно принимает значение  $U_{\text{ВЫХ}}^+ < 0$ . Так как  $U_c = U_n^+ > 0$  конденсатор  $C$  начинает разряжаться с той же постоянной времени, стремясь к значению  $U_c(\infty) = U_{\text{ВЫХ}}^+$ .

Но при  $U_c = U_{\text{вх}} = U_n = \gamma_{\text{ос}} U_{\text{вых}}$  происходит обратное опрокидывание схемы, в результате чего выходное напряжение скачкообразно принимает значение  $U_{\text{вых}}^+$ . Затем все повторяется.

Длительности  $t_n^+$  и  $t_n^-$  одинаковы и определяются соотношением

$$t_n^+ = t_n^- = 2 \frac{R}{R + R_0} \cdot R_1 \cdot C.$$

Выходной сигнал представляет собой колебания меандрового типа.

Для получения колебаний не меандрового типа (с равными  $t_n^+$  и  $t_n^-$ ) необходимо, чтобы скорость заряда и разряда конденсатора  $C$  была различной. На рис.7.8 приведена схема мультивибратора, в которой резисторами  $R_1$  и  $R_2$  можно менять постоянные времени заряда и разряда конденсатора.

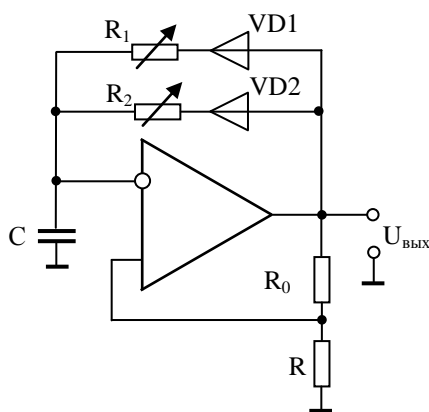


Рис.7.8. Схема мультивибратора с регулируемыми постоянными времени заряда и разряда конденсатора

### 7.5. Ждущий мультивибратор на операционном усилителе

На ОУ могут быть также созданы ждущие мультивибраторы. Схема ждущего мультивибратора приведена на рис. 7.9,а. В отличие от схемы автоколебательного мультивибратора в рассматриваемой схеме содержатся диод VD1, шунтирующий конденсатор  $C_1$  и элементы цепи запуска  $C_2$ , VD2,  $R_3$ . Временные диаграммы, поясняющие процессы в схеме, показаны на рис. 7.9,б.

Так как напряжение на конденсаторе  $C_1$  за счет диода  $VD1$  может иметь только небольшое отрицательное значение, оно всегда по модулю меньше  $|U_n^-|$ , которое приложено к неинвертирующему входу, когда  $U_{\text{ВЫХ}} = U_{\text{ВЫХ}}^-$  схема не может самостоятельно переключиться к уровню  $U_{\text{ВЫХ}}^+$ .

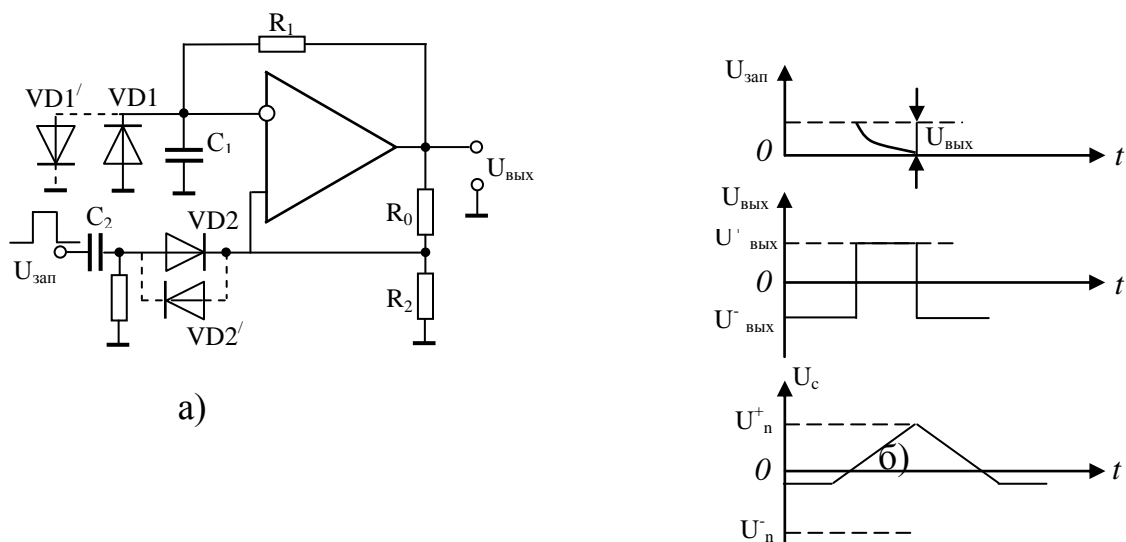


Рис.7.9. Ждущий мультивибратор на операционном усилителе:  
а – схема; б – временные диаграммы напряжений

С приходом положительного импульса с амплитудой  $U_m$ , превышающей абсолютное значение отрицательного напряжения на входе (+) ( $U_m > |U_n^-|$ ), напряжение на выходе начинает возрастать, возникает лавинообразный процесс: за счет положительной обратной связи и через некоторое время  $U_{\text{ВЫХ}}$  оказывается равным  $U_{\text{ВЫХ}}^+$ . После этого начинается заряд конденсатора  $C_1$  через резистор  $R_1$ . Когда напряжение на  $C_1$  окажется равным  $U_n^+$ , происходит новое переключение схемы и напряжение на выходе скачком изменяется к уровню  $U_{\text{ВЫХ}}^-$ . После этого конденсатор разряжается до величины напряжения на открытом диоде и схема возвращается в исходное состояние, в котором пребывает до поступления следующего запускающего импульса. Диод  $VD2$ , стоящий в цепи запуска, служит для отключения мультивибратора от схемы запуска в процессе генерирования импульсов. При необходимости изменения полярности генерируемых импульсов диоды  $VD1$  и  $VD2$  заменяются на диоды  $VD1'$  и  $VD2'$ .

Длительность генерируемого импульса определяется, как и в автоколебательном мультивибраторе на рис.7.7,а

$$t_n = 2 \frac{R_2}{R_2 + R_0} \cdot \ln R_1 C_1. \quad (7.5)$$

## 7.6. Генераторы линейно-изменяющегося во времени напряжения (ГЛИН)

### 7.6.1. Параметры и принципы формирования линейно-изменяющегося напряжения

Линейно-изменяющимся напряжением (ЛИН) называют импульсы (рис.7.10), фронт которых содержит линейно-изменяющийся во времени участок.

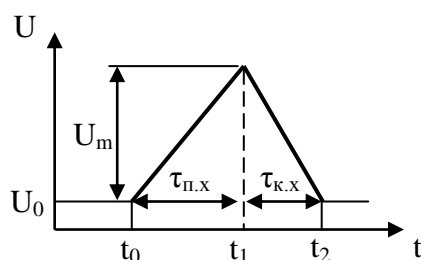


Рис. 7.10. Линейно-изменяющееся напряжение

Параметрами ЛИН являются: начальный уровень  $U_0 = U(t_0)$ ; амплитуда  $U_m = / U(t_1) - U(t_0) /$ ; длительность прямого хода  $\tau_{п.х} = t_1 - t_0$ ; длительность обратного хода  $\tau_{о.х} = t_2 - t_1$ ; скорость изменения ЛИН на интервале прямого хода  $U'(t)$  при  $t_0 < t < t_1$ ; начальная скорость изменения ЛИН  $U'(t_0)$ ; коэффициент нелинейности

$$\xi = \max_{t_2 < t < t_1} \left| \frac{U'(t) - U'(t_0)}{U'(t_0)} \right|. \quad (7.6)$$

Формирование линейно-изменяющегося напряжения основано на свойстве конденсатора интегрировать протекающий через него ток. Это свойство выражается соотношением

$$U(t) = \frac{1}{C} \int_0^t i dt \quad (7.7)$$

Отсюда следует, что для получения линейно изменяющегося напряжения необходимо, чтобы в рабочей стадии конденсатор заряжался постоянным током  $i = const = I_0$ . Тогда

$$U(t) = \frac{I_0}{C} \cdot t. \quad (7.8)$$

Следовательно, основными элементами генератора линейно-изменяющегося напряжения являются интегрирующий конденсатор и зарядная цепь, формирующая постоянный зарядный ток конденсатора в рабочей стадии, а также коммутирующий элемент, служащий для восстановления исходного напряжения на конденсаторе после окончания рабочей стадии.

Так как скорость изменения на конденсаторе пропорциональна току, то для коэффициента нелинейности может предложено выражение

$$\xi = \frac{I_{сн} - I_{ск}}{I_{сн}},$$

где  $I_{сн}$  и  $I_{ск}$  – токи заряда емкости, соответствующие началу и концу ЛИН.

При невысоких требованиях к линейности формируемого напряжения специальные меры для стабилизации тока заряда не применяются.

Простейшая схема ЛИН приведена на рис. 2.16,а, состоит из транзисторного ключа и конденсатора, подключенного параллельно транзистору. На вход транзистора подаются управляющие прямоугольные импульсы положительной полярности. При отсутствии импульсов на входе транзистор заперт и конденсатор заряжается от источника коллекторного питания  $E_k$  через сопротивление  $R_k$ . Постоянная времени заряда конденсатора  $\tau_z = CR_k$ . При подаче на вход схемы положительного импульса транзистор открывается полностью и начинается разряд конденсатора через сопротивление открытого транзистора  $r_i$ . Так как  $r_i$  значительно меньше сопротивления резистора  $R_k$ , то постоянная времени разряда конденсатора

$\tau_p = C r_i$  меньше постоянной времени заряда  $\tau_3$ . При регулярном поступлении на вход транзистора управляющих импульсов на выходе

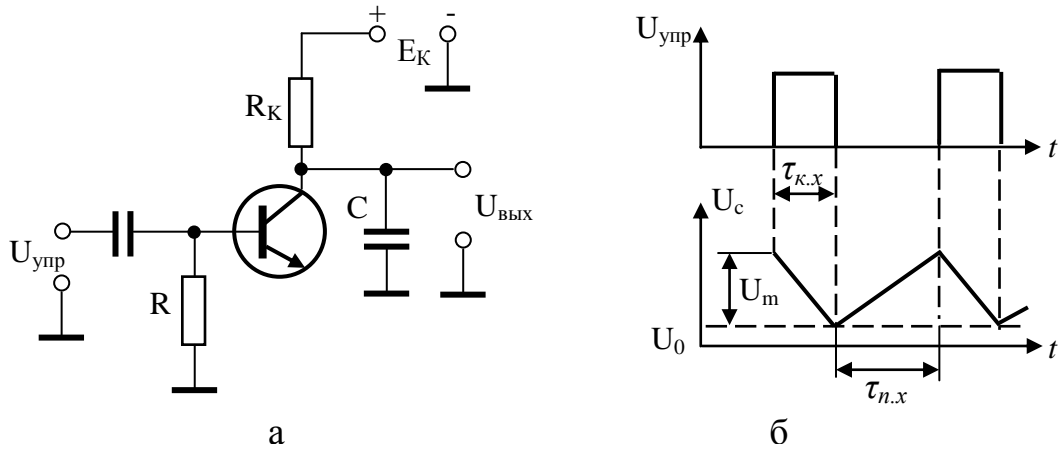


Рис.7.11. Генератор ЛИН: а – схема; б – временные диаграммы напряжения

схемы формируется последовательность пилообразных импульсов.

Закон изменения напряжения на конденсаторе после прекращения воздействия на вход схемы положительного импульса можно представить выражением

$$U(t) = U_0 + U'(t)\tau_3(1 - e^{-\frac{t}{\tau_3}}), \quad t_0 < t < t_1.$$

Чтобы обеспечить линейность прямого хода, выбирают  $\tau_p \gg \tau_{nx}$ . В этом случае заряду конденсатора соответствует начальный относительно линейный участок экспоненты. Если пренебречь напряжением на коллекторе открытого транзистора и падением напряжения на резисторе  $R_K$  от обратного тока, то ток заряда в начальный и конечный моменты можно определить

$$I_{сн} = \frac{E_K}{R_K}, \quad I_{ск} = \frac{E_K - U_m}{R_K},$$

где  $U_m$  – напряжение на конденсаторе в момент отпирания транзистора.

Тогда значение коэффициента нелинейности

$$\xi = \frac{U_m}{E_K}.$$

Если необходимо обеспечить нелинейность формируемого напряжения  $\xi - 5\%$ , то амплитуда пилообразного напряжения составит 0,05 от напряжения источника питания.

Для получения ЛИН большого размаха при малом  $\xi$  приходится выбирать большую величину  $E_k = U_m/\xi$ . При значениях  $\xi < 0,1$  значения  $I_{к0}R_k$  и  $I_{кн}r_i$  могут оказаться соизмеримым и с  $U_m$ . Тогда необходимо учесть их влияние

$$U_m = (E_k - I_{к0}R_k - I_{кн}r_i)\xi.$$

Следует выбирать транзистор с возможно меньшими значениями  $I_{к0}$  и  $r_i$ .

Для получения максимального размаха ЛИН необходимо, чтобы конденсатор за время обратного хода полностью разряжался, но при этом максимальный разрядный ток  $I_{кн}$  не должен превышать  $I_{к доп}$  для выбранного типа транзистора. Следовательно, должно выполняться условие

$$C \leq \frac{\tau_{0x} \cdot I_{кн}}{(3 \div 5)U_m}$$

при  $I_{кн} < I_{к доп}$   $R_k$  может быть найдено из условия

$$R_k > \frac{\tau_{nx}}{C \cdot \xi}.$$

При выборе элементов схемы следует учитывать влияние сопротивления нагрузки на работу разрядного каскада, а при больших значениях  $R_k$  приходится учитывать, также шунтирующее действие запертого транзистора  $R_{обр} = U_m/I_{к0}$ .

В общем случае

$$\xi = \frac{U_m}{E_k \left(1 + \frac{R_k}{r_i} + R_k \frac{I_{к0}}{U_m}\right)}, \quad (7.9)$$

т.е. влияние нагрузки и обратного сопротивления запертого ключа приводит к увеличению нелинейности формируемого напряжения. Поэтому при расчетах следует исходить из значения  $\xi$ , меньшего, чем заданное значение  $\xi_{зад}$ . Обычно, при расчетах достаточно принять  $\xi < \xi_{зад}(0,8 \div 0,7)$ . В тех случаях, когда требуется обеспечить коэффициент нелинейности менее 1%, применяют схемы со стабилизацией тока заряда.

## 7.6.2. Схемы ГЛИН

Схема с токостабилизирующими элементами. Простейшим и наиболее распространенным методом линеаризации формируемого напряжения является использование в коллекторной цепи в качестве нагрузки нелинейного элемента, величина тока которого будет зависеть от приложенного напряжения. Хорошим стабилизатором тока является транзистор, включенный по схеме с общей базой, у которого выходные характеристики  $I_k = f(U_{кб})$  при  $I_э = \text{const}$  имеют наклон полого участка характеристик в  $\beta$  раз меньше, чем в схеме с общим эмиттером.

В схеме, представленной на рис.7.12, на транзисторе VT1 выполнен коммутирующий ключ на VT2 – стабилизатор тока.

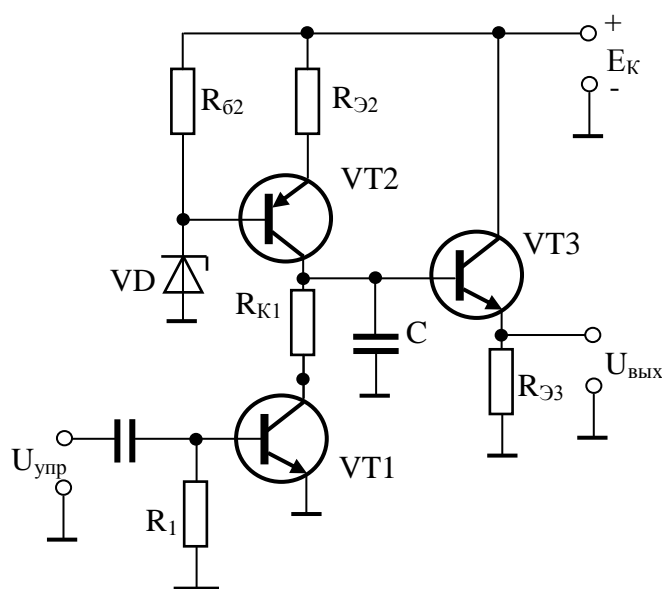


Рис. 7.12. Генератор ЛИН с токостабилизирующими элементами

При запертом транзисторе VT1 происходит заряд конденсатора коллекторным током VT2. По мере заряда конденсатора напряжение на его обкладках увеличивается, а на транзисторе уменьшается. Ток заряда конденсатора за счет включения транзистора VT2 по схеме с общей базой меняется в сравнительно малых пределах. Стабильность тока повышается дополнительно за счет отрицательной обратной связи по току на  $R_{э2}$ .



Схема обеспечивает формирование линейно возрастающего напряжения. Для уменьшения влияния нагрузки ее обычно подключают через эмиттерный повторитель на транзисторе VT3.

Схема ГЛИН на операционном усилителе показана на рис. 7.13.

До прихода управляющего импульса при  $t < t_0$  (положительное напряжение на эмиттере транзистора VT2 закрывает p-n переход эмиттер-база и, следовательно, на базе VT2 высокий уровень положительного напряжения) транзисторы VT2 и соответственно VT3 открыты. При этом напряжение на коллекторе VT3 не превышает десятых долей вольта. Отрицательный импульс, поступающий на вход ключа, открывает транзистор VT1 и следовательно закрывает транзистор VT2 и VT3, обеспечивая заряд конденсатора с током через резистор R. Эквивалентная постоянная времени зарядной цепи  $\Theta = RC$ .

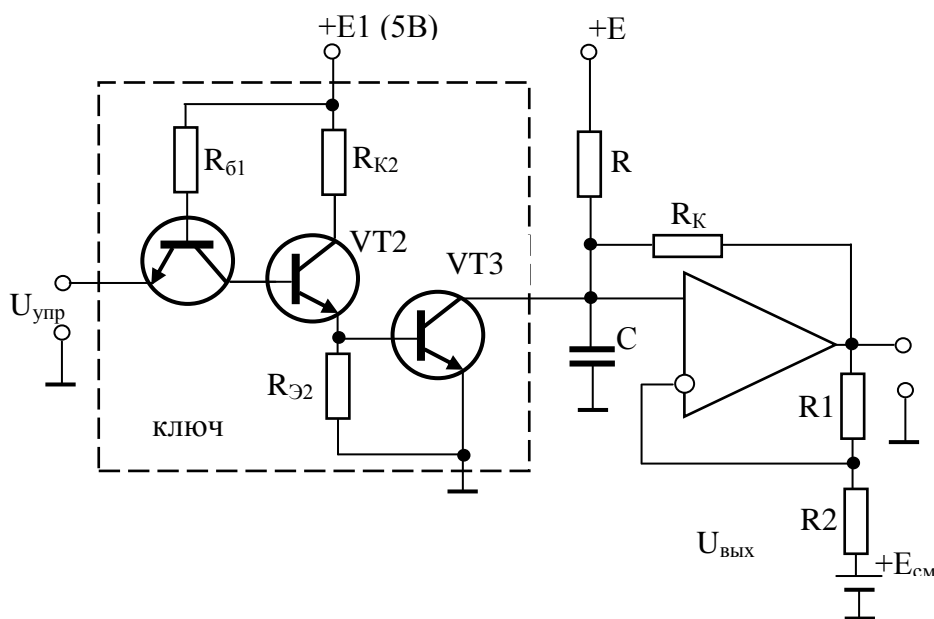


Рис.7.13. Схема ГЛИН на операционном усилителе с положительной обратной связью

На рис. 7.14. показанные временные диаграммы ГЛИН на операционном усилителе.

По окончании коммутирующего импульса в момент времени  $t_1$  транзистор VT3 открывается, переходит в активный режим и конденсатор C

на интервале обратного хода  $t_1 < t < t_2$  разряжается через открытый транзистор  $VT3$ , который в момент  $t = t_2$  входит в режим насыщения.

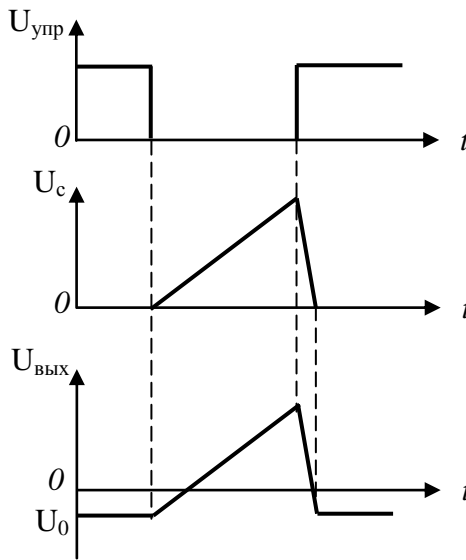


Рис.7.14. Временные диаграммы ГЛИН на операционном усилителе

Для устранения низкой линейности, повышения амплитуды генерируемого импульса по отношению к напряжению источника питания  $E$  напряжение с конденсатора подается на операционный усилитель. При  $t < t_0$ , когда  $U_c(t_0) = 0$ ,  $U(t_0) = U_0 = -E_{см}$ .

На интервале действия коммутирующего импульса конденсатор  $C$  заряжается током

$$i_c(t) = \frac{E - U_c(t)}{R} + \frac{U(t) - U_c(t)}{R_k}, \quad (7.10)$$

где первое слагаемое определяет ток заряда от источника  $E$ , а второе соответствует току заряда по цепи обратной связи ОУ.

В (7.10)  $u(t) = U_0 + U_c(t)(1 + \frac{R_1}{R_2})$  - напряжение на выходе ОУ при  $U_c(t) \neq 0$ .

Постановка (7.10) в (7.9) позволяет получить выражение для коэффициента нелинейности

$$\xi = \left| \frac{\tau_{nx}}{RC} \left( \frac{RR_1}{R_k R_2} - 1 \right) \right|.$$

При его выполнении скорость нарастания ЛИН и его амплитуду можно найти по формулам

$$U'(t) = (E - E_{cm}) \left(1 + \frac{R_1}{R_2}\right) = const,$$

$$U_m = U'(t) \cdot \tau_{nx}$$

Процесс формирования обратного хода ЛИН в данной схеме практически не отличается от аналогичного процесса в простейшей схеме ГЛИН.

### 7.6.3. Генераторы импульсов треугольной формы

Для создания импульсов напряжения треугольной формы, как и ЛИН, учитывают зависимость напряжения на емкости от тока, протекающего через нее. Если ток, заряжающий конденсатор постоянен, то напряжение на емкости будет расти по линейному закону. Следовательно, генератор импульсов напряжения треугольной формы можно создать, используя триггер Шмитта и интегратор (рис.7.15,а). Электрическая схема такого генератора показана на рис.7.15,б. В этой схеме генератор на операционном усилителе 1. Когда напряжение на выходе интегратора достигает порога срабатывания триггера Шмитта, его выходное напряжение меняет знак на противоположный (рис. 7.15,в). Период колебаний генератора  $T \approx 4RCR_1/R_2$  не зависит от порога срабатывания  $U_0$   $U_1$  триггера Шмитта. От порогов зависит только амплитуда напряжения. Описанный генератор генерирует импульсы симметричной формы, если напряжение с выхода триггера Шмитта меняется в симметричных пределах от  $-U$  до  $U$  (рис.7.15,в). Если ее пределы изменения напряжения несимметричны (рис.7.15,г), то генерируемые треугольные импульсы такжenesимметричны.

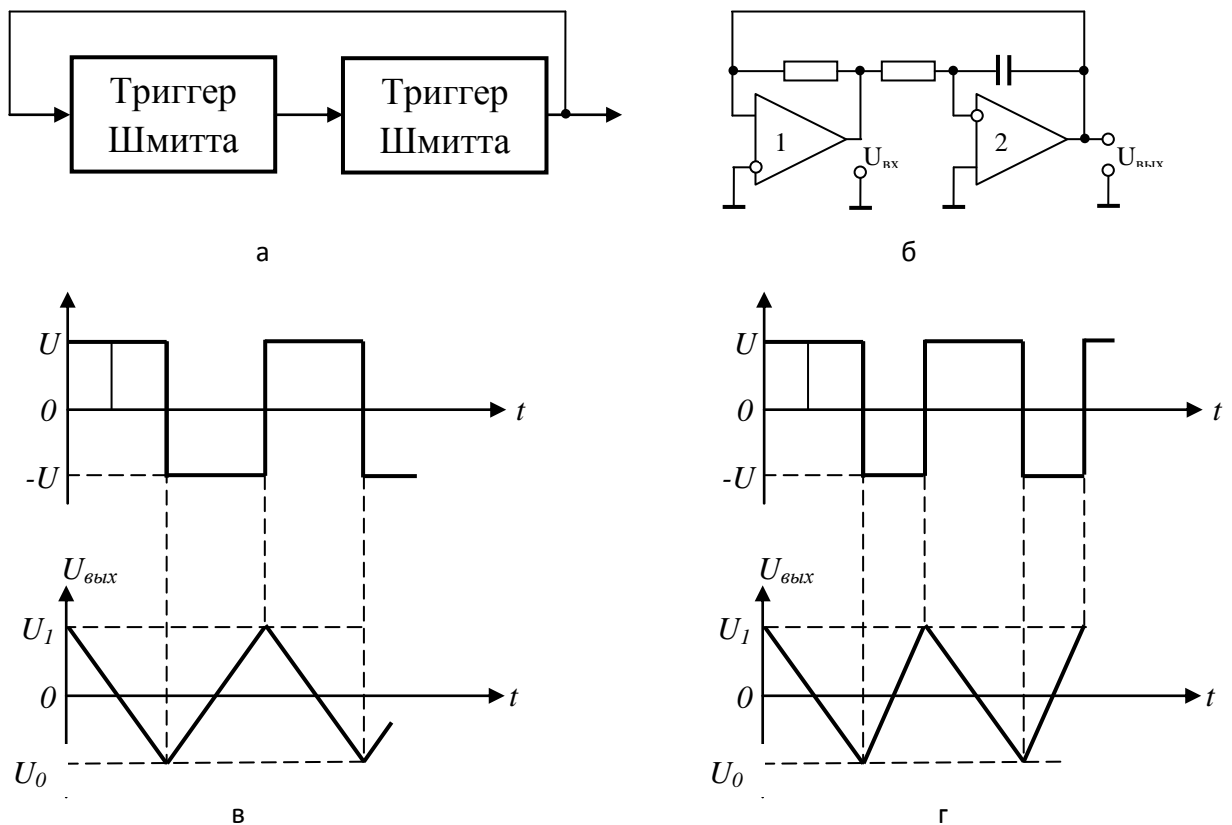


Рис. 7.15. Генератор треугольных импульсов:

а- структурная схема; б –электрическая схема; в – диаграммы напряжений при формировании симметричных импульсов; г - диаграммы напряжений при формировании несимметричных импульсов

### Контрольные вопросы

1. Как работает схема блокинг-генератора?
2. Какие параметры импульсов, генерируемых блокинг-генератором?
3. Что представляет собой схема мультивибратора?
4. Какие процессы, протекающие в схеме, определяют параметры импульсов, генерируемых мультивибратором?
5. В чем отличие схемы ждущего мультивибратора от схемы автоколебательного мультивибратора?
6. Какие процессы определяют параметры импульсов, формируемых мультивибраторами и ждущими мультивибраторами на операционных усилителях и логических элементах?
7. Чем достигается качество линейно-изменяющегося напряжения? Какие методы могут использоваться для улучшения линейности пилообразного напряжения?

## Глава 8. Формирователи импульсных сигналов

### 8.1. Триггер Шмитта на операционном усилителе

Схема триггера Шмитта на ОУ приведена на рис. 8.1,а.

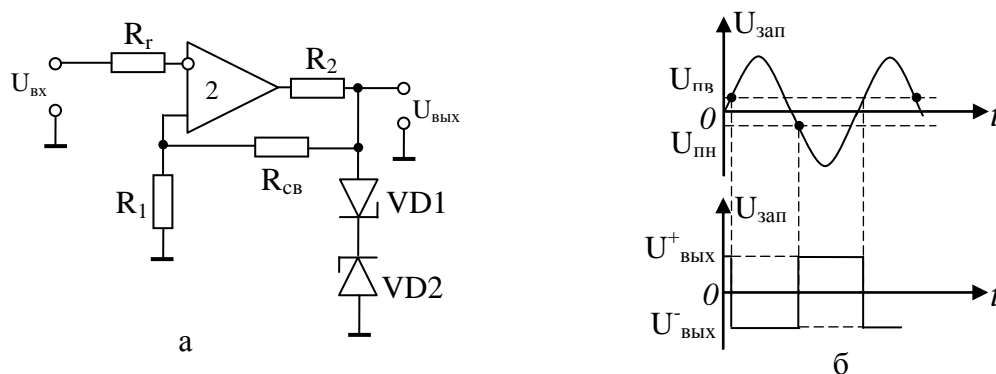


Рис.8.1. Триггер Шмитта на операционном усилителе:  
а – схема; б – временные диаграммы напряжений

В схеме используется положительная обратная связь с коэффициентом передачи напряжения

$$\gamma_{oc} = \frac{U_{oc}}{U_{вых}} = \frac{R_1}{R_1 + R_{св}}$$

Сопротивление  $R_{св}$  в несколько раз или в несколько десятков раз больше, чем  $R_1$ . Следовательно,  $\gamma_{oc}$  много меньше 1, но так как коэффициент усиления ОУ много больше 1, то всегда  $\gamma_{oc}K > 1$  или  $\gamma_{oc}K \gg 1$ .

Напряжение с резистора  $R_1$  подается на неинвертирующий вход операционного усилителя. Сопротивление  $R_2$  включено для устранения разбаланса схемы входными токами усилителя. Если входное напряжение равно нулю, то напряжение на входе усилителя равно разности напряжений на его зажимах, определяется напряжением на прямом входе  $U_{вх} = \gamma_{oc}U_{вых}$ .

Сопротивление  $R_2$  не должно быть меньше минимально допустимого сопротивления нагрузки усилителя.

Максимальные выходные положительные и отрицательные напряжения в общем случае могут быть неодинаковы. Для выравнивания указанных напряжений на выходе применен ограничитель, состоящий из двух стабилитронов  $VD1$  и  $VD2$ , включенных навстречу друг другу.

Напряжение на них всегда равно сумме напряжений стабилизации и напряжению при прямом смещении.

Если запускающее напряжение, которое вначале равнялось нулю, постепенно повышать, то при входном напряжении, превышающем напряжение на прямой входе на величину нижнего порогового значения  $U_{вх} > \gamma_{ос} U_{вых} + U_{пн}$  возникает регенеративный процесс переключения схемы и выходное напряжение достигает максимального отрицательного значения (рис.8.1,б).

Таким образом, подавая на вход схемы синусоидальное напряжение допустимой амплитуды (например 1В) можно получить на выходе триггера Шмитта на операционном усилителе К140УД18 напряжение прямоугольной формы, скачкообразно изменяющееся от  $U_{вых}^-$  до  $U_{вых}^+$ .

## 8.2. Дифференцирующие цепи

Дифференцирующей называют цепь, напряжение на выходе которой пропорционально скорости изменения (производной) входного напряжения во времени.

Примером такой цепи является RC цепь (рис.8.2,а), электрический ток в цепи

$$i = C \frac{dU_c}{dt}, \text{ где } U_c = U_{вх} - U_{вых}.$$

Выходное напряжение цепи, снимаемое с  $R$ , определяется как

$$U_{вых} = iR = RC \frac{d(U_{вх} - U_{вых})}{dt}.$$

Если  $U_{вых} \ll U_{вх}$  (сопротивление конденсатора много больше  $R$ ), то

$$U_{вых} = \tau \frac{dU_{вх}}{dt}. \quad \tau = RC - \text{постоянная времени цепи.}$$

Отбрасываемый член

$$\Delta U_{вых} = \tau \frac{dU_{вых}}{dt} = \tau^2 \frac{d^2 U_{вх}}{dt^2}$$

представляет абсолютную ошибку. Следовательно, относительная ошибка выглядит

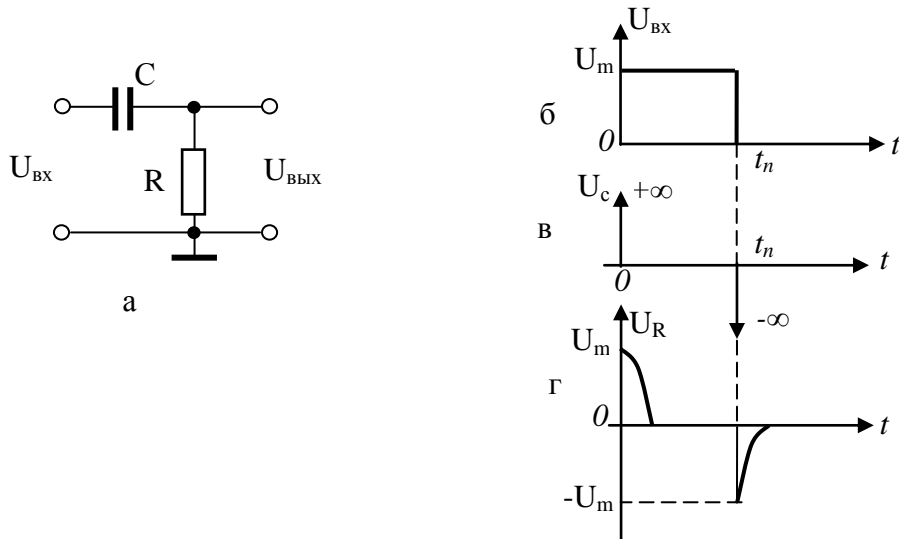


Рис. 8.2. Дифференцирующая цепь: а – схема; б – прямоугольный импульс; в – производная от прямоугольного импульса; г – напряжение на выходе дифференцирующей цепи

$$\left| \frac{\Delta U_{\text{вых}}}{U_{\text{вых}}} \right| = \tau \cdot \left| \frac{\frac{d^2 U_{\text{вх}}}{dt^2}}{\frac{dU_{\text{вх}}}{dt}} \right|.$$

Для выходного напряжения, изменяющегося по квадратичному закону  $U_{\text{вх}} = \text{const} \cdot t^2$

$$\left| \frac{\Delta U_{\text{вых}}}{U_{\text{вых}}} \right| = \frac{\tau}{t}.$$

Другими словами, если постоянная времени RC цепи много меньше длительности входного импульса напряжения, то цепь может выполнять функции дифференцирования.

Сравним сигналы на выходе реальной дифференцирующей цепи (рис.8.2,г) и производную от прямоугольного импульса (рис.8.2,в). При математическом дифференцировании выходной сигнал представляет два бесконечно узких с бесконечно большими амплитудами импульса. На выходе RC-цепи сигнал представляет собой остроконечные импульсы чередующейся полярности. Амплитуды импульсов ограничены величиной  $U_m$ . Напряжение на выходе цепи спадает практически до нуля за время  $t = (3 \div 5)\tau$ .

Причиной погрешности при дифференцировании сигналов с помощью RC-цепи является отличие напряжения на конденсаторе от входного напряжения. Для того, чтобы погрешность дифференцирования была допустимой, на практике должно выполняться условие  $\tau \leq 0,1\tau_{и}$ .

### 8.3. Дифференцирующее устройство на операционном усилителе

Повышение точности дифференцирования электрических сигналов по сравнению с обычными дифференцирующими цепочками возможно с помощью дифференцирующего устройства на ОУ, схема которого представлена на рис.8.3.

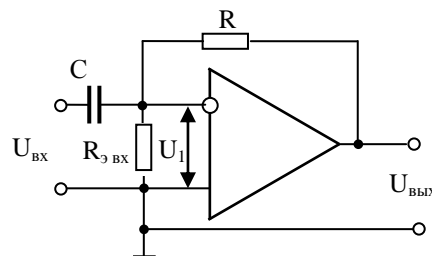


Рис.8.3. Дифференцирующее устройство на ОУ

Внешние элементы в схеме образуют дифференцирующую цепь с емкостью  $C$  на входе и резистором  $R$  в цепи обратной связи, т.е.  $Z_1 = \frac{1}{pC}$ ,

$$Z_{oc} = R.$$

Согласно выражению (6.8)  $U_{вых} = -pRCU_{вх}$  или в оригинале

$$U_{вых} = -r \frac{dU_{вх}}{dt}.$$

Следовательно, устройство осуществляет дифференцирование входного напряжения с переменной знака производной и умножением на весовой коэффициент  $\tau = RC$ .

Оценим погрешности дифференцирующей схемы, показанной на рис.8.3. При конечном коэффициенте усиления  $K$  входное эквивалентное сопротивление определяется как

$$Z_{э.вх} = R/K,$$



т.е. входное сопротивление усилителя в соответствии с эквивалентной схемой, представленной на рис.3.4 является чисто активным. С учетом этого

$$U_1 = C \frac{R}{K} \cdot \frac{d(U_{ex} - U_1)}{dt} = \frac{\tau}{K} \cdot \frac{dU_{ex}}{dt} - \frac{\tau^2}{K^2} \cdot \frac{d^2U_{ex}}{dt^2}$$

и выходное напряжение устройства будет определяться как

$$U_{вых} = -\tau \cdot \frac{dU_{ex}}{dt} + \frac{\tau^2}{K} \cdot \frac{d^2U_{ex}}{dt^2}.$$

Первое слагаемое соответствует выходному напряжению при отсутствии погрешностей, второе слагаемое абсолютной погрешности дифференцирующего устройства

$$\Delta U_{вых} = \frac{\tau^2}{K} \cdot \frac{d^2U_{ex}}{dt^2}.$$

Тогда выражение для относительной ошибки принимает вид

$$\left| \frac{\Delta U_{вых}}{U_{вых}} \right| = \frac{\tau}{K} \cdot \left| \frac{\frac{d^2U_{ex}}{dt^2}}{\frac{dU_{ex}}{dt}} \right|.$$

Для сигнала, меняющегося по квадратичному закону  $U_{ex} = const \cdot t^2$  относительная погрешность

$$\left| \frac{\Delta U_{вых}}{U_{вых}} \right| = \frac{\tau}{Kt}.$$

растет с увеличением постоянной времени цепи, уменьшением времени наблюдения, но в K раз меньше по сравнению с ошибкой, имеющей место в обычной дифференцирующей цепи, при сохранении величины амплитуды выходного напряжения.

#### 8.4. Интегрирующие цепи

Для того, чтобы RC цепь была интегрирующей, выходное напряжение необходимо снимать с конденсатора (рис.8.4).

Действительно

$$U_{вых} = \frac{1}{C} \int_0^t i_c(t) dt.$$

Если сопротивление резистора много больше сопротивления конденсатора, то

$$i_c = \frac{U_{\text{вх}} - U_{\text{вых}}}{R} \approx \frac{U_{\text{вх}}}{R}$$

и

$$U_{\text{вых}} = \frac{1}{\tau} \int_0^t U_{\text{вх}} dt.$$

$\tau = RC$  – постоянная времени интегрирующей цепи.

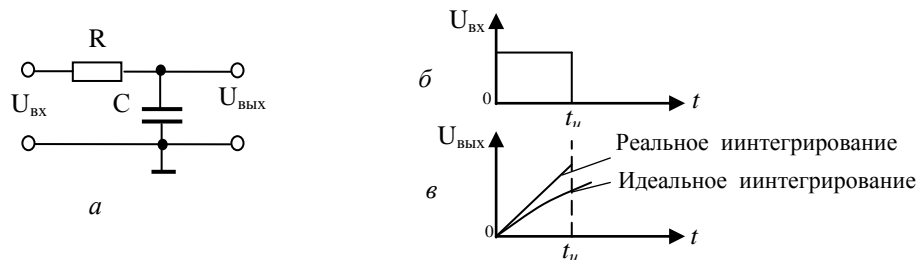


Рис.8.4. Интегрирующая цепь: а – схема; б – входное напряжение – прямоугольный импульс; в – напряжения на выходе реальной и идеальной интегрирующих цепей

Абсолютная и относительная ошибки интегрирования в этом случае будут определяться соотношениями

$$\Delta U_{\text{вых}} = \frac{1}{\tau} \int_0^t U_{\text{вх}}(t) dt = \frac{1}{\tau^2} \int_0^t dt \left[ \int_0^t U_{\text{вх}} dt \right],$$

$$\frac{\Delta U_{\text{вых}}}{U_{\text{вых}}} = \frac{1}{\tau} \cdot \frac{\int_0^t (U_{\text{вх}} dt) dt}{\int_0^t U_{\text{вх}} dt}$$

При интегрировании одиночного прямоугольного импульса длительностью  $t_n$  без ошибок выходное напряжение должно меняться по линейному закону с угловым коэффициентом  $1/\tau$ . Однако на выходе реальной RC цепи напряжение будет меняться по экспоненциальному закону

$$U_{\text{вых}}(t) = U_c(t) = U_m \left(1 - e^{-\frac{t}{\tau}}\right) = U_m \frac{t}{\tau} \left(1 - \frac{1}{2} \cdot \frac{t}{\tau}\right).$$

Первое слагаемое представляет результат интегрирования, а второе – ошибку интегрирования. По мере заряда конденсатора расхождение между результатами идеального и реального интегрирования будет расти и нетрудно увидеть, что ошибка интегрирования тем меньше, чем в большей

степени выполняется неравенство  $t_n \ll \tau$ . Однако с уменьшением ошибки, уменьшается размах выходного сигнала  $U_m \cdot \frac{t_n}{\tau}$ .

### 8.5. Интегратор на операционном усилителе

Математически точное интегрирование в значительно большем интервале времени может быть выполнено на ОУ с емкостной отрицательной обратной связью (рис. 8.5).

В интегрирующем ОУ внешние элементы составляют интегрирующую цепь с большой постоянной времени  $\tau = RC$ , конденсатор которой включен в цепь отрицательной обратной связи.

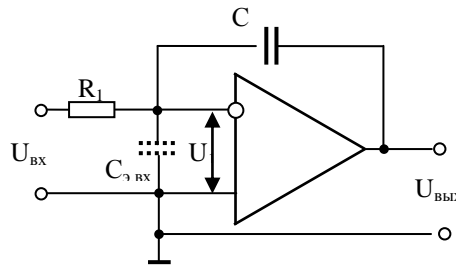


Рис.8.5. Схема интегратора на ОУ

Так как в данном случае  $Z_1(P) = R_1$ , а  $Z_{oc}(P) = 1/PC$ , то

$$U_{вых}(p) = -\frac{1}{P\tau} U_{вх}(P).$$

В оригинале

$$U_{вых} = -\frac{1}{\tau} \int_0^t U_{вх} dt,$$

т.е. происходит интегрирование входного сигнала по времени с умножением на весовой коэффициент  $(-1/\tau)$ .

При подаче на вход интегратора  $n$  входных напряжений  $U_{вх1}, U_{вх2}, \dots, U_{вхn}$  через резисторы  $R_1, R_2, \dots, R_n$  образуется суммирующий интегратор, имеющий на выходе сигнал

$$U_{вых}(t) = -\int_0^t \left[ \frac{1}{R_1 C} \cdot U_{вх.1} + \frac{1}{R_2 C} \cdot U_{вх.2} + \dots + \frac{1}{R_n C} \cdot U_{вх.n} \right] dt.$$

Оценим погрешность рассматриваемой схемы. При конечном усилении  $K$  с учетом определения эквивалентного входного сопротивления

$$Z_{э.вх} = \frac{Z_{oc}}{K} = \frac{1}{\omega CK} = \frac{1}{\omega C_{эК}},$$

т.е. можно считать, что за счет глубокой обратной связи на входе интегратора действует эквивалентная емкость  $C_{эК}$  в  $K$  раз большая емкости  $C$ . С учетом этого в соответствии с рис.3.6

$$U_1 = \frac{1}{C_{эК}} \int_0^t I_1(t) dt = \frac{1}{C} \int_0^t \frac{U_{вх} - U_1}{R} dt = \frac{1}{\tau K} \int_0^t U_{вх} dt - \frac{1}{K\tau} \int_0^t U_1 dt.$$

Тогда выходное напряжение интегратора определяется как

$$U_{вых} = -KU_1 = -\frac{1}{\tau} \int_0^t U_{вх} dt + \frac{1}{\tau} \int_0^t U_1 dt.$$

Первое слагаемое соответствует выходному напряжению при отсутствии погрешностей. Второй член определяет абсолютную погрешность схемы интегратора.

$$\Delta U_{вых} = \frac{1}{\tau} \int_0^t U_1 dt + \frac{1}{K\tau^2} \int_0^t \int_0^t U_{вх} dt.$$

Соответственно, относительная ошибка интегратора

$$\left| \frac{\Delta U_{вых}}{U_{вых}} \right| = \frac{1}{K\tau} \cdot \frac{\int_0^t dt}{\int_0^t U_{вх} dt} \cdot \left| \int_0^t U_{вх} dt \right|$$

В частном случае, когда входное напряжение представляет прямоугольный импульс с амплитудой  $U_m$  и длительностью  $t_n$ , относительная ошибка интегрирования равна

$$\left| \frac{\Delta U_{вых}}{U_{вых}} \right| = \frac{t_n}{2K\tau}.$$

То есть меньше ошибки интегрирования в простой интегрирующей цепи в  $K$  раз и уменьшается с увеличением коэффициента усиления  $K$ . Другими словами, интегратор на ОУ эквивалентен интегрирующей цепи, постоянная времени которой  $K\tau$ , при сохранении амплитуды выходного сигнала.

## 8.6. Ключевые диодные схемы

Составной частью многих импульсных устройств являются электронные ключи, основой которых являются активные элементы (диоды, транзисторы, тиристоры), работающие в ключевом режиме. Ключевой режим характеризуется двумя состояниями ключа: «включено» - «выключено». На рис. 8.6 приведена упрощенная схема и временные диаграмма идеального ключа.

При разомкнутом ключе  $i = 0$ ,  $U_{\text{ввых}} = E$ , при замкнутом  $i = E/R$ ,  $U_{\text{ввых}} = 0$ . При этом предполагается, что сопротивление разомкнутого ключа равно нулю. В реальных ключах токи, а также уровни выходного напряжения соответствующие состояниям «Включено» - «Выключено», зависят от типа и параметров применяемых активных элементов. Преход из одного состояния в другое происходит не мгновенно, а в течение времени, обусловленного инерционностью активного элемента и наличием паразитных емкостей и индуктивностей цепи. Качество электронного ключа определяется: падением напряжения на ключе в замкнутом состоянии  $U_3$ ; током через ключ в разомкнутом состоянии  $i_p$ ; временем перехода ключа из одного состояния в другое (временем переключения)  $t_{\text{пер}}$ .

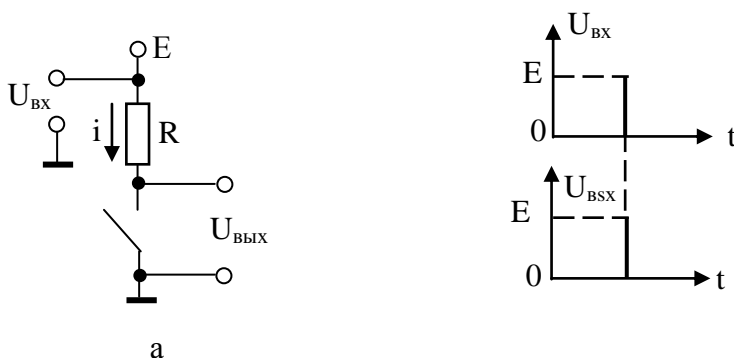


Рис.8.6. Идеальный ключ: а – схема;  
б – временные диаграммы

Чем меньше значения величин  $U_3$ ,  $i_p$  и  $t_{\text{пер}}$ , тем выше качество ключа.

Простейший тип электронных ключей представляют диодные ключи. В качестве активных элементов в них используют полупроводниковые диоды.

На рис.8.7 приведена схема последовательного диодного ключа и его передаточная характеристика.

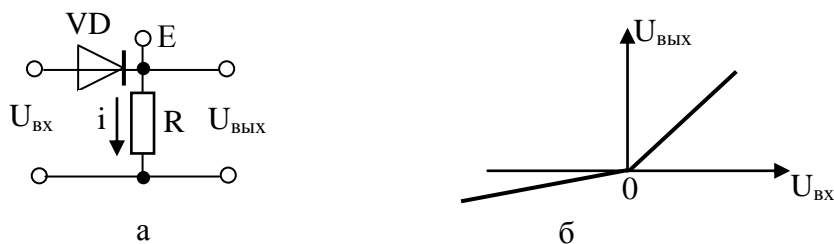


Рис.8.7. Последовательный диодный ключ с нулевым уровнем включения: а – электрическая схема; б - передаточная характеристика

При положительном входном напряжении диод открыт и ток через него  $i = \frac{U_{\text{вх}}}{R + r_{\text{пр}}}$ , где  $r_{\text{пр}}$  – прямое сопротивление диода. Выходное напряжение

$$U_{\text{вх}} = R \cdot i = R \frac{U_{\text{вх}}}{r_{\text{пр}} + R}.$$

Если  $r_{\text{пр}} \ll R$ , то  $U_{\text{вх}} \approx U$ . При отрицательном входном напряжении обратный ток через диод

$$i = \frac{U_{\text{вх}}}{R + r_{\text{обр}}},$$

где  $r_{\text{обр}}$  – обратное сопротивление диода. При этом выходное напряжение

$$U_{\text{вх}} = R \cdot i = R \frac{U_{\text{вх}}}{r_{\text{обр}} + R}.$$

Как правило  $R \ll r_{\text{обр}}$  и  $U_{\text{вх}} = U_{\text{вх}} \cdot \frac{R}{r_{\text{обр}}} \ll U_{\text{вх}}$ .

При изменении полярности диода график функции  $U_{\text{вх}} = f(U_{\text{вх}})$  повернется на угол вокруг начала координат.

Схема на рис.8.7 соответствует нулевой уровень включения (уровень напряжения, определяющий отпирание или запираение диода). Для изменения уровня включения в цепь ключа вводят источник напряжения  $E_0$  (рис.8.8,а). В этом случае при  $U_{\text{вх}} > E_0$  диод открыт и  $U_{\text{вх}} \approx U_{\text{вх}}$ , а при  $U_{\text{вх}} < E_0$  – закрыт и  $U_{\text{вх}} = E_0$  (рис.8.8,б). Если изменить полярность источника  $E_0$ , то график функции  $U_{\text{вх}} = f(U_{\text{вх}})$  приобретает вид, показанный на рис.8.8,б пунктирной линией. В качестве источника  $E_0$  часто используют резистивный источник напряжения, подключенный к общему для электронного устройства

источнику питания. Применяя переменный резистор, как регулируемый делитель напряжения, можно изменять уровень включения

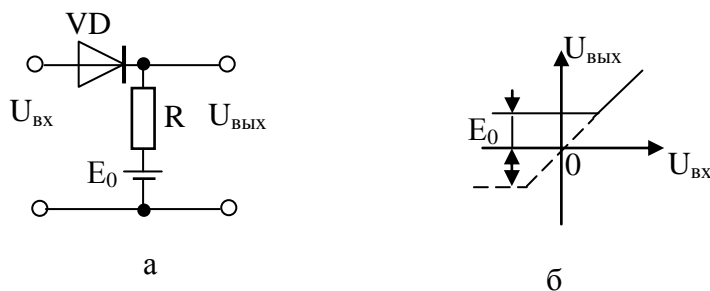


Рис.8.8. Последовательный диодный ключ с ненулевым уровнем включения: а – схема; б – передаточная характеристика

На рис. 8.9 приведена схема и передаточная характеристика параллельного диодного ключа. При положительном входном напряжении диод открыт (ключ замкнут),  $U_{вх} \approx 0$ , а при отрицательном - закрыт (ключ разомкнут)  $U_{вых} \approx U_{вх}$ .

Для изменения уровня включения в цепь ключа вводят источник напряжения смещения  $E_0$ , включенный последовательно с диодом Шоттки (рис.8.10).

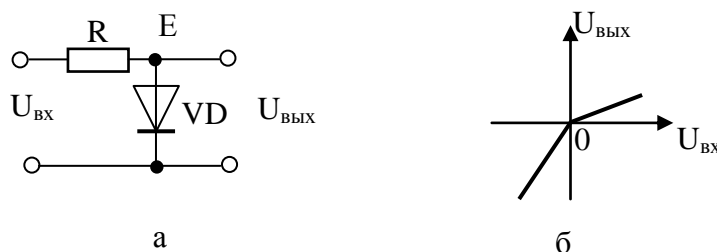


Рис.8.9. Параллельный диодный ключ с нулевым уровнем включения: а – схема; б – передаточная характеристика

При изменении полярности включения источника  $E_0$  получают характеристику, показанную пунктирной линией.

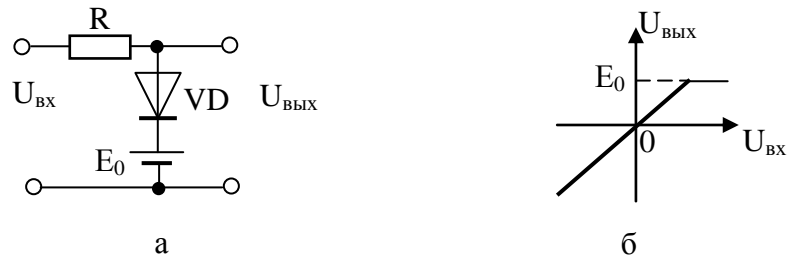


Рис.8.10. Параллельный диодный ключ с ненулевым уровнем включения:  
а – схема; б – передаточная характеристика

Комбинацией двух диодных ключей можно получить двойной диодный ключ (рис.8.11), который передает входное напряжение на выход ключа, если оно находится в пределах границ, определяемых уровнями включения первого  $U_{ВХ1}$  и второго ключей  $U_{ВХ2}$ .

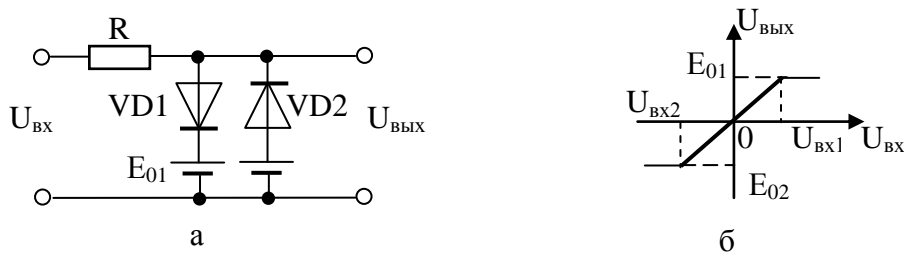


Рис.8.11. Двойной диодный ключ: а – схема;  
б – передаточная характеристика

Время переключения диодных ключей  $t_{\text{перекл}}$ , определяющее их быстродействие, зависит от паразитных емкостей диодов, нагрузки и монтажа, а также от времени выключения диодов  $t_{\text{выкл}}$ , определяемого временем рекомбинации носителей зарядов. Для повышения быстродействия ключей применяют малоинерционные диффузионные диоды с  $t_{\text{выкл}} = 0,05 \text{ мкс}$ .

## 8.7. Компараторы

### 8.7.1. Компаратор на операционном усилителе

Компаратором называются ключевые устройства, преобразующие знак разности входных аналоговых величин  $x_1$  и  $x_2$  в выходную двоичную



переменную  $y$ . Характеристику передачи идеального компаратора можно представить в виде, показанном на рис. 8.12. Согласно этой характеристике на выходе компаратора  $x_1 > x_2$  формируется высокий уровень напряжения  $U_B$ , соответствующий  $y = 1$ , а при  $x_1 < x_2$  уровень напряжения  $U_H$ , соответствующий  $y = 0$ .

Характеристики реальных ключевых устройств (рис.8.12, б) могут совпадать с характеристикой идеального компаратора только при достаточно больших абсолютных значениях  $x = x_1 - x_2$ .

В области малых значений  $|x|$  из-за ряда таких факторов, как дрейф, флуктуационный шум, пульсации питающих напряжений значение сигнала на выходе компаратора невозможно представить однозначно. Ширина зоны неопределенности тесно связана с одним из главных параметров компаратора, чувствительностью, минимальным значением приращением входного сигнала, обеспечивающим надежное переключение выходной переменной. Внутри зоны неопределенности поведение компаратора может быть различным для разных его типов.

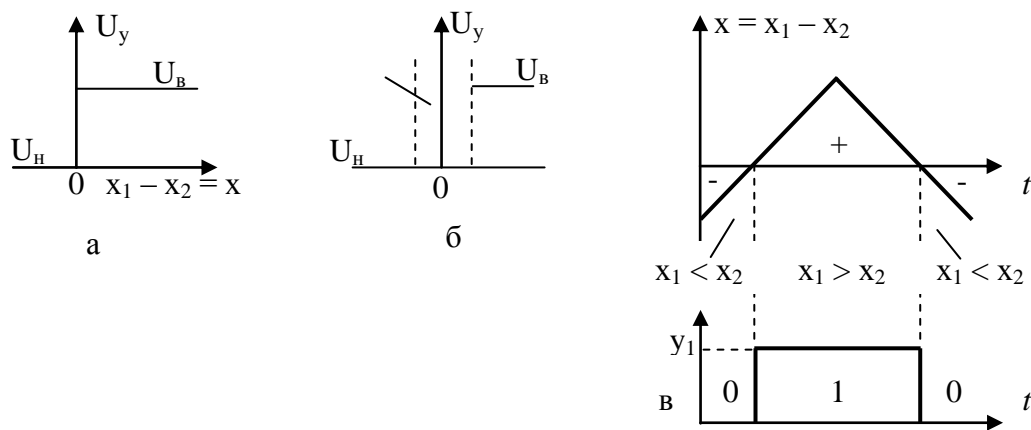


Рис.8.12. Передаточные характеристики идеального (а) и реального (б) компараторов. Диаграммы напряжений идеального и реального компараторов (в)

Идеальный компаратор представляет собой устройство, формирующее на выходе скачок напряжения в момент прохождения разностного сигнала

через нуль. При увеличении разностного сигнала формируется положительный скачок, при уменьшении – отрицательный (рис.8.12,в).

Реальный компаратор можно представить как соединение разностного элемента (РЭ) и порогового элемента (ПЭ) (рис.3.13,а). РЭ формирует выходное напряжение  $U_p$ , пропорциональное разности сравниваемых величин

$$U_p = K(x_1 - x_2),$$

где  $K$  – коэффициент передачи разностного сигнала. ПЭ реализует функцию преобразования аналогового сигнала  $U_p$  в цифровое значение выходной двоичной переменной 0 или 1).

На рис.8.13,б показан компаратор на операционном усилителе. Для фиксации уровней выходного сигнала использованы два встречно включенные стабилитрона, реализующих ограничение и формирующих сигнал с двумя состояниями

$$U_{01} = -(U_2 + U^*), U_{02} = U_1 + U^*,$$

где  $U_1$  и  $U_2$  напряжения стабилизации,  $U^*$  – прямое падение напряжения на стабилитроне. Для идеального ОУ и стабилитрона можно положить  $R_1 = R_2 = R_3 = 0$ . Однако для реальных ОУ из-за конечной разности  $I_2 - I_1$  входных токов ОУ и обязательного наличия внутреннего сопротивления  $R_r$  источника сигнала ( $R_r \approx R_1$ ) возникает напряжение ошибки  $I_1 R_1$ , которое компенсируется регулировкой  $R_2$ . При регулировке уровень переключения цепи делается совпадающим с  $U_{вх} = 0$ .  $R_3$  выбирается таким, чтобы стабилитроны VD1 и VD2 работали при рекомендуемых для них уровнях токов.

Для идеального ОУ и идеального стабилитрона можно положить  $R_1 = R_2 = R_3 = 0$ . Однако для реальных ОУ из-за конечной разности  $I_2 - I_1$  входных токов ОУ и обязательного наличия внутреннего сопротивления  $R_r$  источника сигнала ( $R_r = R_1$ ) возникает напряжение ошибки  $I_1 R_1$  компенсируется регулировкой  $R_2$ . При регулировке уровень переключения цепи делается

совпадающим с  $U_{\text{вх}} = 0$ .  $R_3$  выбирается таким образом, чтобы стабилитроны VD1 и VD2 работали при рекомендуемых для них уровнях токов.

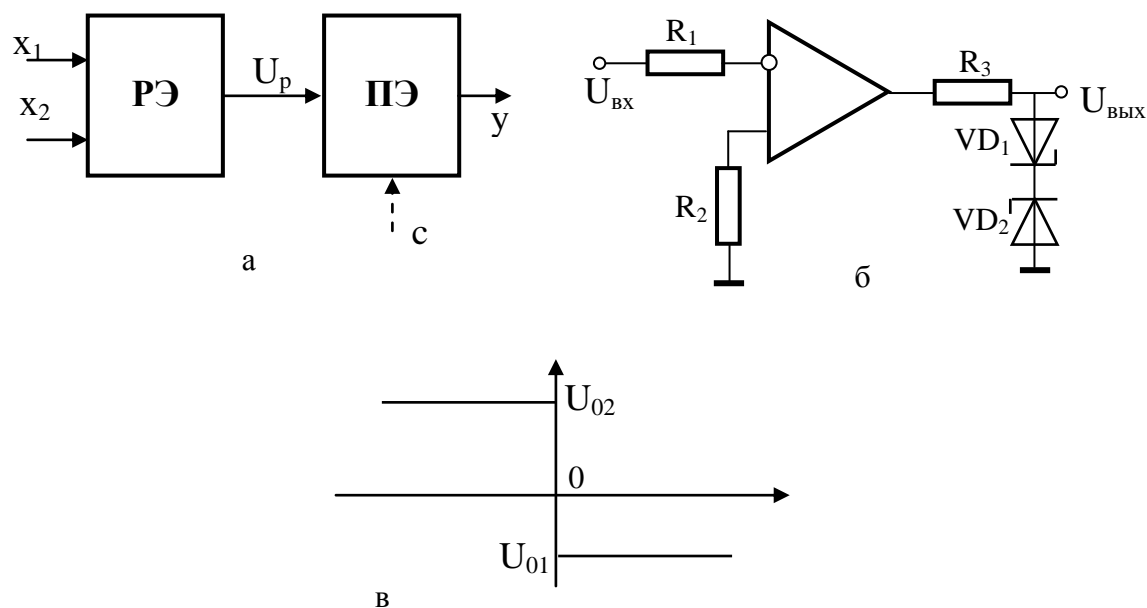
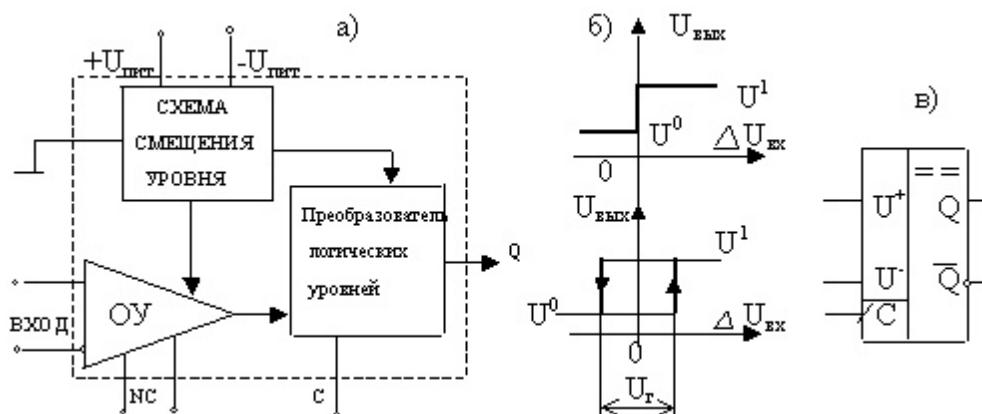


Рис.8.13. Компаратор: а – обобщенная схема; б – компаратор на операционном усилителе; в – его передаточная функция

### 8.7.2. Компаратор с повышенной чувствительностью

Построение схем сравнения повышенной чувствительности на ОУ, как на дискретном элементе, встречает определенные трудности. Значительно лучшими характеристиками обладают интегральные схемы сравнения двух напряжений, называемые *аналоговыми компараторами*.



8.14. Структурная схема (а), передаточные характеристики (б) и УГО (в) аналогового компаратора:

$NC$  – выводы для коррекции нулевого уровня (балансировки);  $C$  – вход тактирования;  
 $U_0, U_1$  – логические уровни выходного сигнала;  $Q$  – обозначение выхода;  
 $U^+, U^-$  – обозначения входных зажимов;  $U_{\Gamma}$  – ширина петли гистерезисной характеристики

В структурной схеме компаратора, помимо операционного усилителя, есть дополнительные элементы, обеспечивающие выполнение основной функции сравнения и функции преобразования уровня выходного напряжения в соответствии с результатом сравнения. Передаточные характеристики и упрощенная структурная схема компаратора показаны ниже на рис. 8.14.

Условия работы компаратора определяются следующим образом:

$$U_{ВЫХ} = \begin{cases} U^1, \text{ при } U^+ > U \text{ или } \Delta U_{ВХ} > 0; \\ U^0 \text{ при } U^+ < U \text{ или } \Delta U_{ВХ} < 0. \end{cases}$$

Наличие гистерезиса в выходной характеристике компаратора обусловлено погрешностью сравнения уровней входных напряжений, а величина напряжения  $U_T$  характеризует его чувствительность и может составлять несколько мВ. Важнейшими параметрами компаратора являются:

- пороговая чувствительность – минимальный разностный сигнал, который способен идентифицировать компаратор;
- входные и выходные токи;
- коэффициент ослабления синфазного сигнала – отношение величины синфазного напряжения к дифференциальному сигналу, вызывающему срабатывание компаратора, (измеряется в дБ);
- быстродействие (время переключения), характеризуемое промежутком времени от момента подачи входного сигнала  $\Delta U_{ВХ}$  до момента достижения выходным сигналом логического уровня  $U_0$  или  $U_1$ .

Современные аналоговые компараторы имеют время переключения несколько десятков нс при пороговой чувствительности около 0,25 мВ.

## Контрольные вопросы

1. Какие функции выполняют триггеры Шмитта?
2. Какова связь между входным напряжением и длительностью импульсов на выходе триггера Шмитта?
3. Какое назначение имеют дифференцирующие и интегрирующие цепи? Чем определяется качество дифференцирования и интегрирования?
4. Как можно повысить точность дифференцирования и интегрирования?
5. Какие функции выполняют компараторы? Чем отличаются компараторы от операционных усилителей?

## Глава 9. Формирователи импульсов на логических элементах и управляемой линией задержки

### 9.1. Формирователи импульсов на логических элементах

Схема формирователя импульсов на логических элементах И-НЕ и временные диаграммы, иллюстрирующие работу схемы предоставлены на рис. 9.1. В течение времени  $t < t_0$ , когда на входе схемы низкий уровень напряжения  $U_{вх} < U_{пор}$  (соответствующий «0»), напряжение  $U_1$  имеет уровень  $U_0$ . При установившемся режиме, когда конденсатор  $C$  заряжен,  $U_2 = 0$  и напряжение на выходе схемы имеет высокий уровень, соответствующий «1». При появлении на входе высокого уровня напряжения  $U_{вх} > U_{пор}$  в момент  $t_0$  напряжение на выходе первого логического элемента И-НЕ мало  $U_1 \approx 0$ . В этом случае выходное напряжение сохраняет высокий уровень, соответствующий «1».

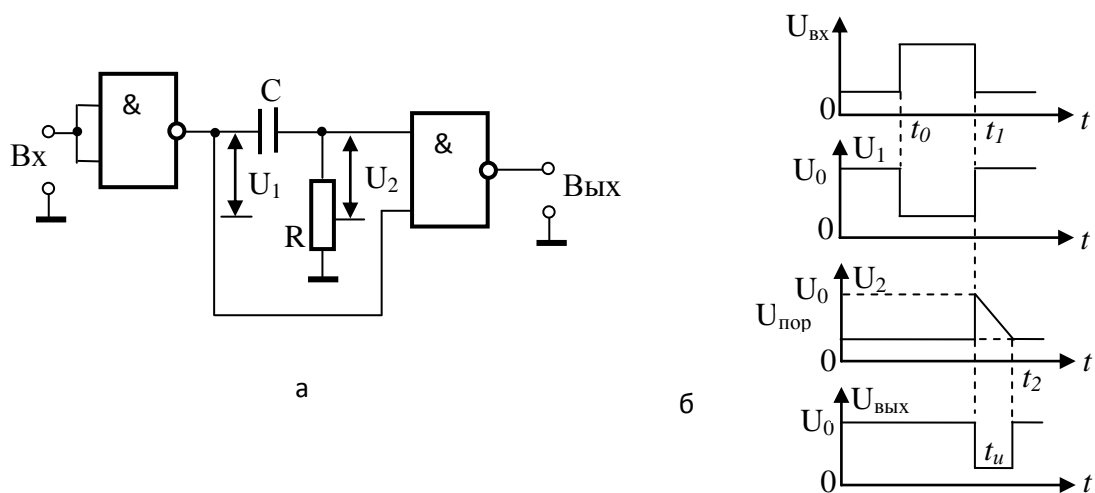


Рис.9.1. Формирователь импульсов на логических элементах:  
а – схема; б – временные диаграммы напряженности

В момент времени  $t_1$ , когда на входе схемы имеет место отрицательный перепад напряжения, на выходе первого логического элемента появляется высокий уровень напряжения. Одновременно положительный перепад напряжения  $U_1 = U_0$  передается через конденсатор  $C$  на верхний вход второго логического и выходное напряжение  $U_{вых}$  мало. В момент скачка напряжение на втором входе максимально  $U_2 = U_0$ . По мере заряда конденсатора оно уменьшается и при достижении им порогового уровня  $U_2 = U_{пор}$ , второй

интегральный логический элемент возвращается в исходное состояние с высоким выходным уровнем напряжения. Следовательно, на выходе схем формируется прямоугольный импульс отрицательной полярности с длительностью  $t_u \approx RC \ln \frac{U_0}{U_{пор}}$ .

## 9.2. Формирователи коротких импульсов на логических элементах

Для получения коротких запускающих импульсов удобно использовать формирователи на интегральных логических элементах. Два варианта формирователей коротких положительных импульсов и временные диаграммы их работы показаны на рис. 9.2. и 9.3.

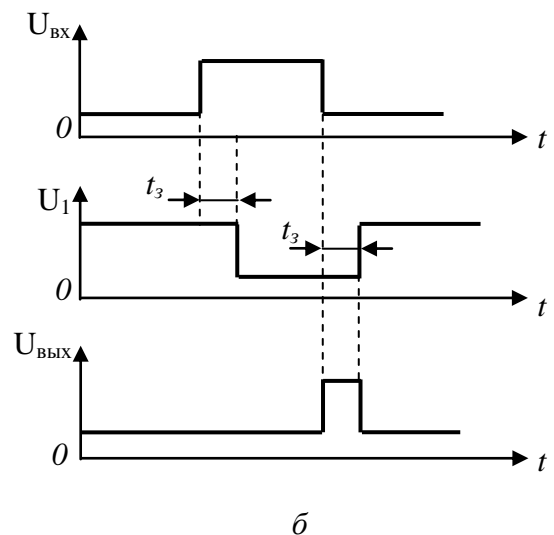
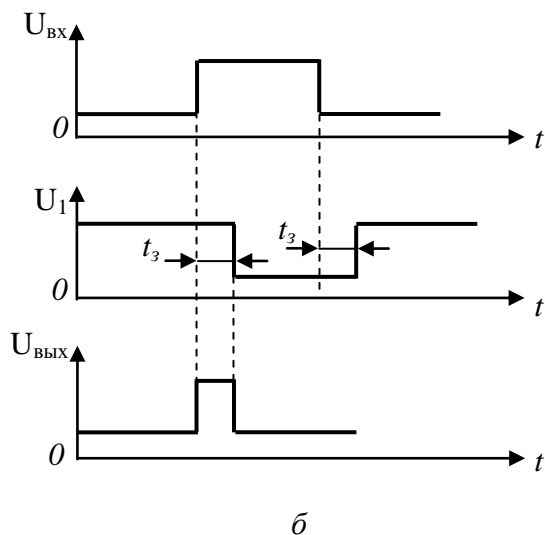
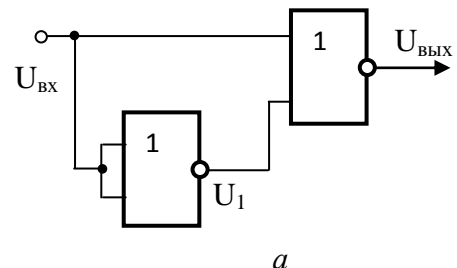
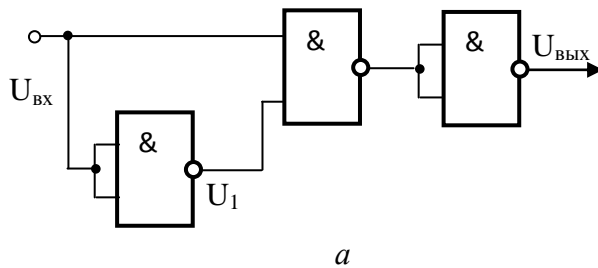


Рис. 9.2.Формирователь коротких импульсов на элементах И-НЕ:  
а – схема; б – временные диаграммы напряжений

Рис. 9.3.Формирователь коротких импульсов на элементах ИЛИ-НЕ:  
а – схема; б – временные диаграммы напряжений

В первой схеме (рис.9.2,а) на вход элемента И поступает сигнал  $U_{\text{вх}}$  и инвертированный сигнал  $U_1 = \bar{U}_{\text{вх}}$ , задержанный инвертором на  $t_3$ . Такая схема формирует короткий импульс при прямом (из «0» в «1») переходе входного сигнала (рис.9.2,б).

Во второй схеме (рис.9.3,а) прямой и инвертированный сигнал поступает на элемент ИЛИ-НЕ. Здесь в качестве инвертора использован другой элемент ИЛИ-НЕ, время задержки  $t_3$ , которого определяет длительность выходного импульса. Последний формируется при обратном («1» в «0») переходе входного сигнала (рис.9.3,б).

Длительность формируемых импульсов определяется числом и типом логических элементов, последовательно включенных в канале формирования сигнала  $U_1$ , т.е.  $t_3 = nt_{3l}$ , где  $n = 1, 3, 5, \dots$  число инвертирующих элементов должно оставаться нечетным,  $t_{3l}$  – среднее время задержки одного ЛЭ. Число неинвертирующих элементов может быть произвольным.

### 9.3. Устройство задержки на логических элементах

В настоящее время широкое распространение получили электронные устройства, осуществляющие задержку импульсов на управляемые фиксированные интервалы времени. Задержка сигнала может быть осуществлена с помощью электронных схем как цифровых, так и аналоговых. Такие схемы обеспечивают формирование нового импульса, запаздывающего во времени относительно входного.

Реализация малых времени задержки импульсов (не более сотни наносекунд) без инверсии импульсов удобно осуществлять цепочками из четного числа инверторов «НЕ». На рис. 9.4,а показана линия задержки на базе логических элементов (ЛЭ) «И-НЕ». Время задержки в этом случае  $t_3 = nt_{3l}$ , где  $n = 2, 4, 6, \dots$  число инверторов в линии задержки должно быть четным,  $t_{3l}$  – среднее время одного ЛЭ (задержка фронта среза). Например, микросхемы 155 серии имеют задержку  $t_{3l} \approx 20$  нс.



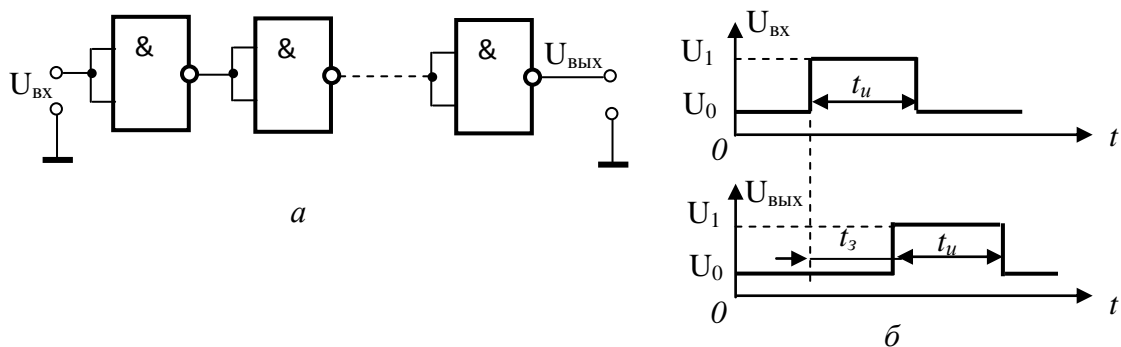


Рис. 9.4. Линия задержки на элементах И-НЕ: а – схема; б – временные диаграммы напряжений

Для реализации задержек до единиц микросекунд на вход инвертора включают инерционную RC цепь (рис. 9.5,а). В этом случае время задержки определяется временным интервалом, в течение которого конденсатор заряжается до напряжения срабатывания ЛЭ и может быть оценено по формуле

$$t_3 = RC \ln \frac{U_c(\infty) - U_c(0)}{U_c(\infty) - U_c(t_3)} + 2t_{31}.$$

$$t_3 = 2t_{31} + RC \ln \frac{U_1 - U_0}{U_1 - U_{nor}}.$$

Если требуется большая задержка по времени только фронта импульса, резистор R шунтируют диодом, как показано на рисунке, чтобы он не проводил при заряде конденсатора С. Зато во время среза разряд С происходит мгновенно через малое сопротивление открытого диода.

#### 9.4. Цифровая схема регулируемых задержек

Схема цифрового устройства регулируемой задержки показана на рис.9.5.

В рассматриваемой схеме – УС – управляющий счетчик, который содержит число шагов  $n$  квантованной задержки  $T$ , ( $T$  – период следования тактовых импульсов). ОС – основной счетчик, на вход которого через схему «И» поступают тактовые импульсы. Тактовые импульсы начинают поступать на вход ОС, если на втором входе схемы И имеется разрешающий сигнал  $I_1$ ,

который включается при появлении импульса входного напряжения  $U_{\text{ВХ}}$  на информационном входе  $S$  триггера. После того, как на вход ОС поступит количество тактовых импульсов, равное  $n$ , записанной в УС, сработает схема сравнения кодов и на ее выходе появится сигнал, задержанный на  $nT$ , запускающий формирователь импульсов, формирующий выходной импульс напряжения требуемой длительности.

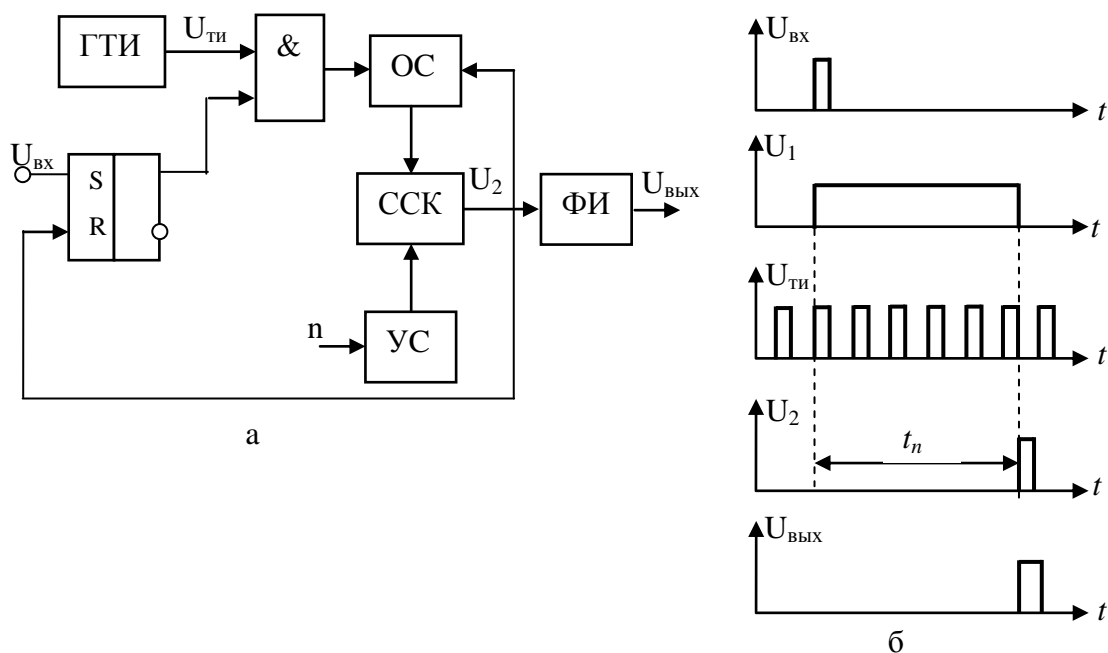


Рис. 9.5. Цифровое устройство регулируемой задержки:  
а – схема (ГТИ – генератор тактовых импульсов, ОС – основной счетчик, УС – управляющий счетчик, ССК – схема сравнения кодов, ФИ – формирователь импульсов);  
б – временные диаграммы напряжений

Одновременно, выходной импульс воздействуя на информационные входы  $R$  триггера и ОС, выключает разрешающий сигнал  $U_1$  и следовательно, прекращает поступление тактовых импульсов в ОС, переводя ОС в исходное нулевое состояние.

### 9.5. Аналоговое устройство регулируемых задержек

Функциональная схема аналогового устройства регулируемой задержки приведена на рис.9.6,а.

Схема состоит из расширителя импульсов, в качестве которого может быть использован ждущий мультивибратор или триггер. Расширитель при

поступления на его вход короткого импульса, формирует импульсы большой длительности ( $U_1$ ), которые используются для управления генератором линейно изменяющего напряжения (ГЛИН).

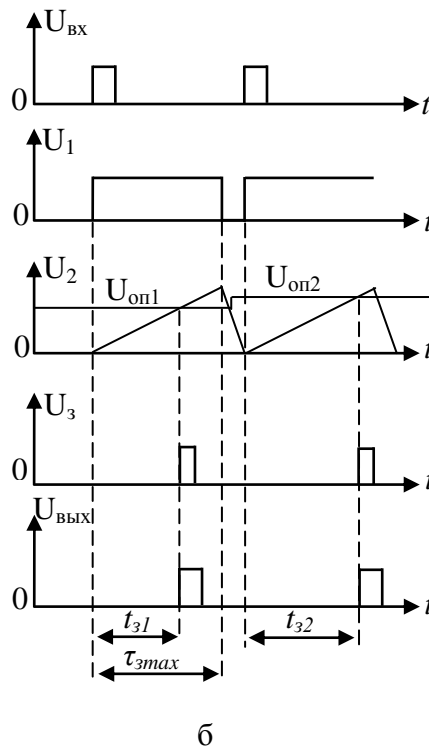
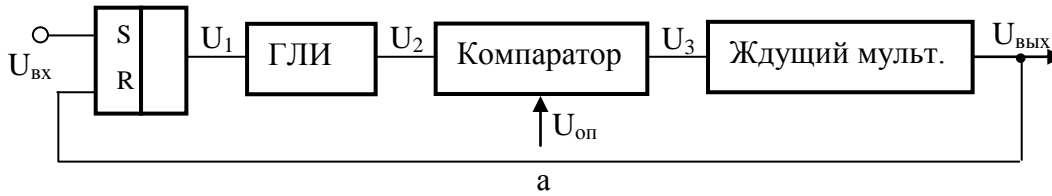


Рис.9.6. Аналоговое устройство регулируемой задержки:  
а – схема; б – временные диаграммы напряжений

Линейно изменяющееся напряжение (ЛИН)  $U_2$ , играющее роль времязадающего напряжения подается на один из входов компаратора. При равенстве ЛИН и опорного напряжения  $U_{оп}$ , подаваемого на второй вход компаратора, на выходе последнего появляются короткие импульсы  $U_3$ . При изменении уровня порогового напряжения величина задержки будет меняться. Короткие импульсы  $U_3$  поступают на формирователь импульсов, формирующий импульсы требуемой амплитуды и длительности. Импульс с выхода формирователя используют для возвращения схемы в исходное

состояние. Для этого выходной импульс подают на вход расширителя (входного триггера). Если в качестве опорного напряжения использовать медленно меняющееся напряжение (период изменения во много раз больше периода следования входных импульсов), то на выходе схемы будет получена последовательность импульсов, задержка которых меняется по задаваемому закону. Устройства подобного типа используются для получения временных задержек в микросекундном диапазоне.

### **Контрольные вопросы**

1. Какие функции выполняют формирователи импульсов?
2. В чем особенность схем на логических элементах, формирующих импульсы различной длительности?
3. Чем отличаются линии задержки импульсов на логических элементах, реализующие задержку до сотни наносекунд и более?
4. Чем определяются максимальные величины задержки импульсов в цифровых и аналоговых устройствах формируемых задержек?

## Глава 10. Источники питания

### 10.1. Выпрямители

#### 10.1.1. Выпрямители на диодах

**Однополупериодный выпрямитель.** Выпрямительный диод является основным элементом преобразователя переменного тока в постоянный, который называют выпрямителем. Питание электронной аппаратуры осуществляют чаще однофазными схемами выпрямителей (рис.10.1,а). Выпрямительный диод преобразует переменный ток в пульсирующий. Для уменьшения пульсации и выделения постоянной составляющей тока применяют сглаживающие фильтры на основе конденсаторов или дросселей. Процесс выпрямления переменного тока показан графически на рис.10.1,б в предположении, что диод является идеальным. Максимальное значение тока, проходящего через диод

$$I_{n\max} = \frac{U_{2m}}{R_n} = \sqrt{2} \frac{U_2}{R_n}.$$

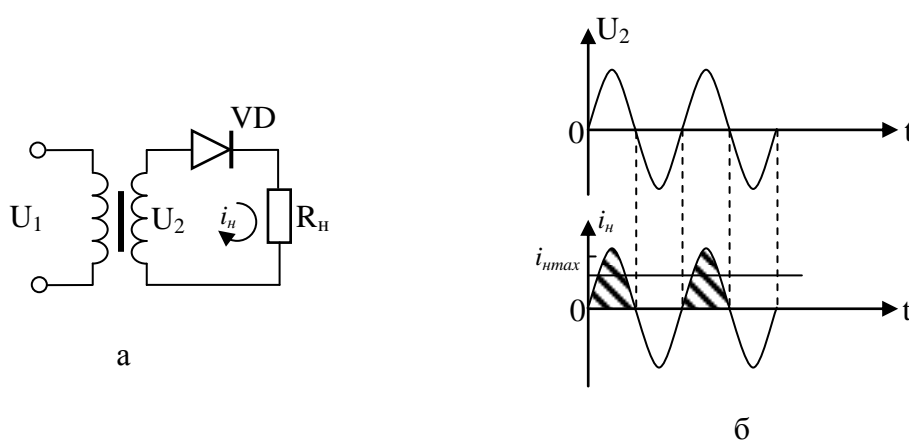


Рис.10.1. Однополупериодный выпрямитель: а – схема;  
б – временные диаграммы напряжения на вторичной обмотке и тока нагрузки

Пульсирующий ток можно представить в виде суммы гармонических составляющих:

$$i_n = \frac{1}{\pi} I_{n\max} + \frac{1}{2} \cdot I_{n\max} \sin \omega t - \frac{2}{\pi} I_{n\max} \cos 2\omega t + \dots$$

Первое слагаемое  $I_n = I_{n\max}/\pi$  определяет постоянную составляющую, а второе слагаемое

$$i = \frac{1}{2} \cdot I_{n\max} \sin \omega t = I_{1m} \sin \omega t$$

определяет переменную составляющую выпрямленного тока. Остальными слагаемыми ввиду их малости, можно пренебречь. Для однополупериодного выпрямителя (рис.10.2,а) коэффициент пульсации  $K_n = I_{1m}/I_n = \pi/2 = 1,57$ , а частота пульсации равна  $\omega$ . Постоянная составляющая выпрямленного напряжения  $U_n = I_n R_n$ . Можно показать, что  $U_n = 0,45 U_2$ , т.е. выпрямленное напряжение составляет 0,45 от действующего значения напряжения вторичной обмотки трансформатора. Величина обратного напряжения выпрямителя, действующего на аноде во время отрицательных полупериодов без фильтра:

$$U_0 = U_{2m} = \sqrt{2}U_2 = \sqrt{2} \cdot \frac{U_n}{0,45} = 3,15U_n.$$

Чаще выпрямитель работает на емкостную нагрузку, поэтому величина обратного напряжения возрастает до величины  $U_{0\max} = 2U_{2m} = 6,28U_n$ . По величине  $U_{0\max}$  выбирают тип выпрямительного диода.

**Двухполупериодный выпрямитель.** В двухполупериодной мостовой схеме (рис.10.2) осуществляется выпрямление обеих полувольт переменного тока. В течение положительных полупериодов, когда верхний конец вторичной обмотки трансформатора становится положительным, ток протекает через диоды VD1 и VD3, а в течение отрицательных полупериодов – через VD2 и VD4.

Через нагрузку  $R_n$  токи проходят в одном направлении, создавая на нагрузке напряжение

$$U_n = \frac{2U_{2m}}{\pi} \cdot \left(1 + \frac{2}{3} \cos 2\omega t - \frac{2}{15} \cos 4\omega t + \dots\right).$$

При этом среднее значение выпрямленного напряжения  $U_n = 0,9U_2$  при коэффициенте пульсации  $K_n = 2/3 = 0,67$ , а обратное напряжение  $U_{0\max} = \sqrt{2}U_2 = 1,57U_n$  и не зависит от вида нагрузки. Частота пульсаций равна удвоенной частоте питающего напряжения  $2\omega$ .

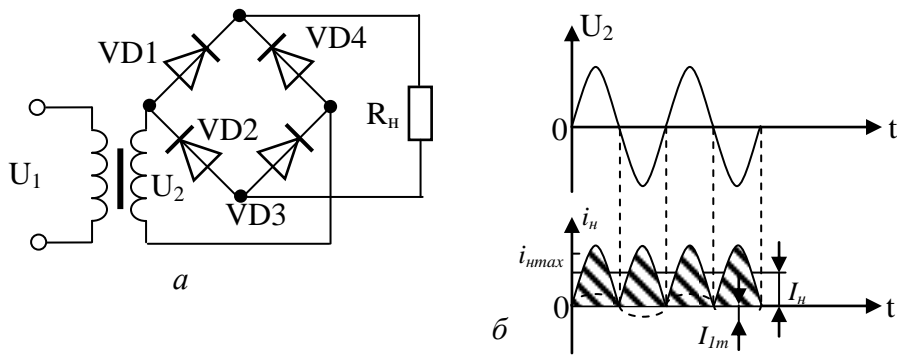


Рис.10.2. Двухполупериодный выпрямитель: а – схема; б – временные диаграммы напряжения на вторичной обмотке и тока нагрузки

### 10.1.2. Выпрямители на тиристорах

Широкое применение в настоящее время находят выпрямители на тиристорах. Схема простейшего тиристорного выпрямителя показана на рис.10.3,а. Тиристоры включают вместо диодов. Тиристоры открываются в момент поступления управляющих импульсов на управляющие входы от устройства управления, а закрываются тогда, когда ток становится равным нулю.

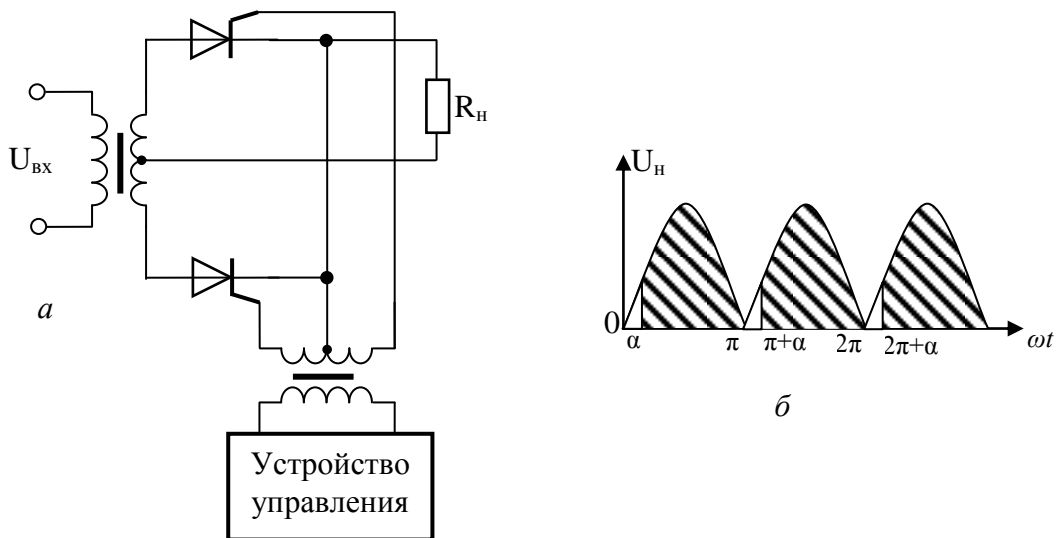


Рис.10.3. Выпрямитель на тиристорах: а – схема; б – временная диаграмма выходного напряжения

Если управляющие импульсы сдвинуты по фазе на угол  $\alpha$  относительно фазы выпрямленного напряжения (рис.10.3,б), то постоянная составляющая выпрямленного напряжения

$$U_{н.ср}(\alpha) = \frac{1}{\pi} \int_{\alpha}^{\pi} E_m \sin \omega t d\omega t = \frac{E}{\pi} (1 + \cos \alpha).$$

Изменяя угол  $\alpha$  можно менять выпрямленное напряжение, а также амплитуду и фазу переменных составляющих.

## 10.2. Сглаживающие фильтры

Основными электрическими параметрами выпрямителей являются:

- средние значения выпрямленного тока  $I_{н\ ср}$  и напряжения  $U_{н\ ср}$ ;
- мощность нагрузочного устройства  $P_n = I_{н\ ср} \cdot U_{н\ ср}$ . Последний

определяется, как

$$K_n = \frac{I_{1m}}{I_n} = \frac{U_{осн.м}}{U_{н.ср}},$$

где  $U_{осн.м}$  – амплитуда основной гармоники на выходе выпрямителя.

Для двухполупериодного мостового выпрямителя (рис.10.4,а) коэффициент пульсаций напряжения, как отмечалось выше  $K_n = 2/3 = 0,67$ . С такими коэффициентами пульсаций выпрямленное напряжение в подавляющем большинстве случаев, использовать нельзя. Поэтому между вентиляльной группой диодов и стабилизатором постоянного напряжения с нагрузкой  $R_n$  включают сглаживающие фильтры. Основными элементами сглаживающих фильтров являются конденсаторы, катушки индуктивности и транзисторы. Основным параметром, характеризующим эффективность сглаживающего фильтра является коэффициент сглаживания, равный отношению коэффициентов пульсаций на входе и выходе фильтра

$$q = \frac{K_{н.вх}}{K_{н.вых}}.$$

В зависимости от типа фильтрующих элементов различают емкостные, индуктивные и электронные фильтры.

### 10.2.1. Емкостные фильтры

Работу емкостного фильтра удобно рассматривать с помощью временных диаграмм, представленных на рис.5.4,б.



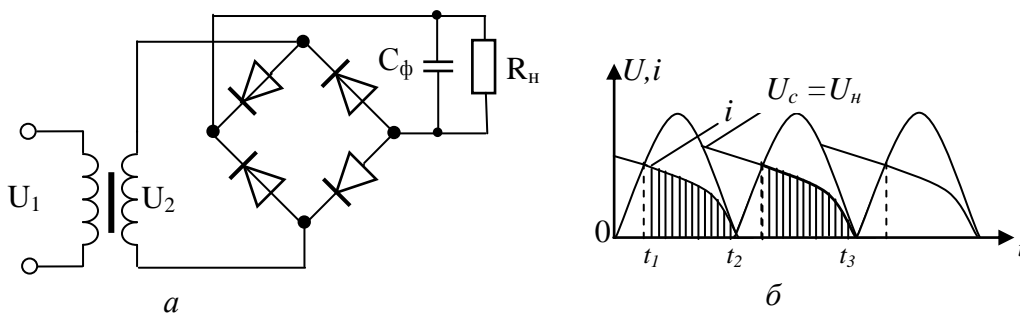


Рис.10.4. Выпрямитель с емкостным фильтром:  
а - схема; б – временные диаграммы выходных тока и напряжения

В интервале времени  $t_1 \div t_2$  конденсатор через открытый диод заряжается до амплитудного значения напряжения  $U_2$ , так как в этот период напряжение  $U_2 > U_c$ . В это время ток  $i_n = i_c + i_{н\cdot}$ . В интервале времени  $t_2 \div t_3$ , когда напряжение  $U_2 < U_c$ , конденсатор разряжается на нагрузочный резистор  $R_n$  снижается до некоторого значения, соответствующего времени  $t_3$ , при котором напряжение  $U_2$  становится равным напряжению на конденсаторе  $U_c$ . После этого процессы зарядки и разрядки конденсатора повторяются. Из временных диаграмм видно, что коэффициент пульсаций зависит от  $C_\phi R_n$ . При этом, чем меньше разрядится конденсатор, тем меньше будут пульсации в выпрямленном токе  $i_n$ . При постоянной времени  $\tau_{разр} = C_\phi R_n \geq 10T$  коэффициент пульсаций, определяемый по формуле

$$K_n = \frac{1}{2\pi f \tau_{разр}},$$

где  $f$  - частота основной гармоники не превышает  $10^{-2}$ .

### 10.2.2. Г и П – образные фильтры

Переходный процесс в цепи с индуктивностью зависит от постоянной времени.  $\tau \approx L_\phi / R_n$  и дает коэффициент пульсаций

$$K_n = \frac{2\pi f L_\phi}{R_n}.$$

Эти фильтры (рис.10.5) применяются, когда необходимо обеспечить значительное уменьшение коэффициента пульсаций. В то же время

постоянная составляющая напряжения на нагрузочном резисторе не уменьшается, так как отсутствует сколько-нибудь значительное падение напряжения этой составляющей на очень малом активном сопротивлении дросселя.

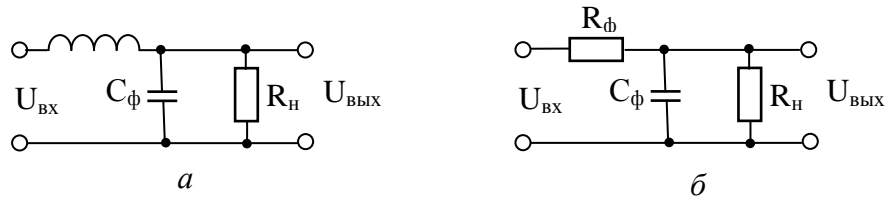


Рис.10.5. Г-образные сглаживающие фильтры:  
а – LC фильтр; б – RC - фильтр

Параметры  $L_\phi$  и  $C_\phi$  фильтра подбирают таким образом, чтобы резонансная частота  $L_\phi C_\phi$  цепи была значительно ниже частоты  $2\omega$  (частоты первой гармоники напряжений пульсаций). Тогда выражение для коэффициента сглаживания

$$L_\phi C_\phi = \frac{q+1}{4\omega^2}$$

В расчетах одним из параметров задаются исходя из габаритов, массы и стоимости элементов в маломощных выпрямителях, у которых сопротивление нагрузочного резистора составляет несколько кОм, вместо дросселя  $L_\phi$  включают резистор  $R_\phi$ , что существенно уменьшает массу, габариты и стоимость фильтра. При выборе  $X_{c\phi} \ll R_\phi$  на резисторе создается значительно большее падение напряжения от переменных составляющих выпрямленного тока, на резисторе  $R_\phi$ . Если выбрать значение  $R_\phi$  из соотношения  $R_\phi (R_\phi + R_\phi)^{-1} = 0,5 \div 0,9$ , то падение постоянной составляющей напряжения на резисторе  $R_\phi$  будет минимальным. В итоге доля переменной составляющей в выпрямленном напряжении по отношению к постоянной составляющей на нагрузочном резисторе  $R_\phi$  значительно уменьшается. Коэффициент сглаживания для Г-образного RC – фильтра определяется

$$q = (0,5 \div 0,9)4\omega R_\phi C_\phi.$$

Следует заметить, что коэффициент сглаживания RC фильтра меньше, чем у LC-фильтра.

П-образные фильтры (рис.10.6) состоят из емкостного фильтра  $C_{\phi 1}$  и Г-образного LC-фильтра ( $L_{\phi} C_{\phi 2}$ ) или RC-фильтра ( $R_{\phi} C_{\phi 2}$ ).

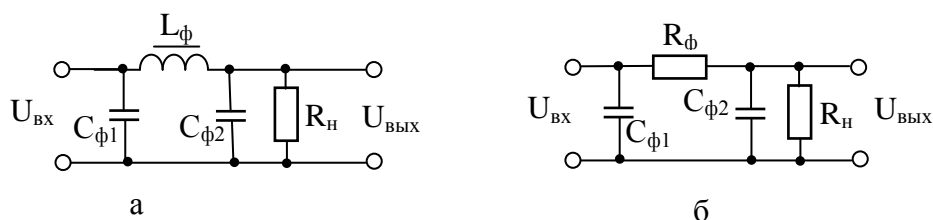


Рис.10.6. Г-образные сглаживающие фильтры:  
а – LC фильтр; б – RC - фильтр

Коэффициент сглаживания многозвенных фильтров равен произведению коэффициентов составных звеньев. Поэтому коэффициент сглаживания П-образного фильтра

$$q_{\text{п}} = q_{\text{с}} \cdot q_{\text{г}},$$

где  $q_{\text{с}}$  и  $q_{\text{г}}$  – коэффициенты сглаживания С-фильтра и Г-образного фильтра.

При сопротивлениях нагрузочного устройства в несколько кОМ применяют П-образные фильтры SRC-фильтры, а при малых сопротивлениях (несколько Ом) LСC-фильтры. Наибольший коэффициент сглаживания П-образного фильтра достигается при  $C_{\phi 1} = C_{\phi 2}$ . П-образные фильтры целесообразно применять, если коэффициент сглаживания должен быть равен 100-1000 и более.

### 10.3. Умножители напряжения

В ряде случаев, когда выпрямленное напряжение должно быть в 2...4 раза больше питающего напряжения, а мощность в нагрузке невелика, применяют схемы умножения напряжения. В выпрямителе с удвоением напряжения одинаковые конденсаторы  $C_1$  и  $C_2$  заряжаются через диоды VD1 и VD2 соответственно до величины  $U_{2\text{м}}$  каждый (рис.10.7).

Когда полупериод линейного переменного тока становится таким, что на зажиме 1 присутствует отрицательное, а на зажиме 2 положительное напряжение, т.о. ток проходит через диод VD2 и конденсатор  $C_2$  к зажиму 1.

При этом ток заряжает конденсатор  $C_2$ . В течение следующего полупериода, когда напряжение на зажиме 1 становится положительным, а на зажиме 2 отрицательным, ток протекает от зажима 1 через конденсатор  $C_1$  и диод VD1 к зажиму 2 заряжая при этом конденсатор  $C_1$ . Конденсаторы  $C_1$  и  $C_2$  заряжаются до амплитудных значений линейного переменного напряжения  $U_{2m}$  на противоположных половинах периода.

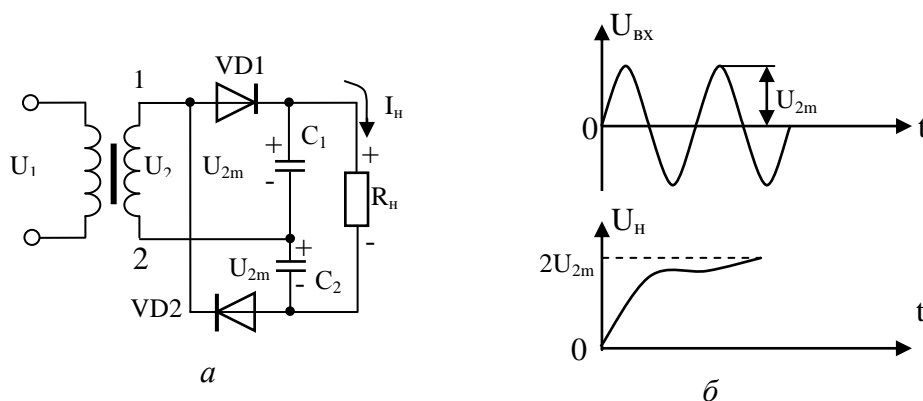


Рис.10.7. Удвоитель напряжения: а – схеме;б – временные диаграммы входного и выходного напряжений

По отношению к нагрузке  $R_n$  конденсаторы включены последовательно. Если  $R_n \gg 1/\omega C$ , где  $C = C_1 = C_2$ , то конденсаторы не успевают заметно разрядиться и выходное напряжение выпрямителя  $U_n = 2U_{2m}$ . Током нагрузки  $I_n$  является токразряда конденсатора. Частота пульсаций равна удвоенной частоте сети.

Схема с утроением напряжения содержит 3 диода и 3 конденсатора (рис.10.8).

Когда полупериод переменного линейного тока становится таким, что напряжение на зажиме 1 становится положительным, а на зажиме 2 отрицательным, то ток протекает от зажима 1 через диод VD1 к зажиму 2, заряжая при этом конденсатор  $C_1$  до амплитудного значения напряжения  $U_{2m}$ .

В течение следующего полупериода, когда на зажиме 1 присутствует отрицательное, а на зажиме 2 положительное напряжение, диод VD1 смещен в обратном направлении и не проводит ток. Диод VD2 смещен в прямом

направлении и обеспечивает протекание тока через конденсатор  $C_2$  в направлении зажима 1. Заряд, который имеется на конденсаторе  $C_1$ , добавляется к переменному линейному напряжению и, следовательно, конденсатор  $C_2$  заряжается до напряжения  $2U_{2m}$ .

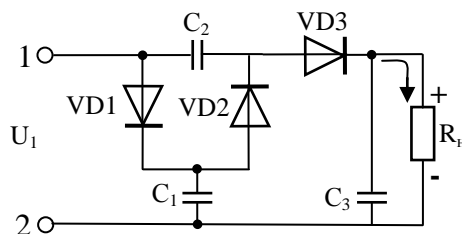


Рис.10.8. Утроитель напряжения

В течение следующего полупериода, когда напряжение на зажиме 1 снова становится положительным, а на зажиме 2 отрицательным, конденсатор  $C_1$  снова заряжается описанным ранее способом. Но в это время диод  $VD_3$  проводит ток и происходит зарядка конденсатора  $C_3$ . Причем заряд на конденсаторе  $C_3$  составляется из линейного напряжения и имеющего на конденсаторе  $C_2$  заряда. Поскольку конденсатор  $C_2$  уже заряжен до удвоенного напряжения, то оно, сложившись с линейным напряжением, обеспечивает утроенное напряжение на конденсаторе  $C_3$ , и следовательно, на нагрузке  $R_n$ .

С помощью умножителей напряжения можно получить на выходе напряжение в несколько десятков киловольт. Общими недостатками всех умножителей напряжения являются их невысокая мощность и низкий к.п.д.

## 10.4. Параметрические стабилизаторы напряжения и тока

### 10.4.1. Параметрические стабилизаторы напряжения

Высокую стабильность напряжения питания позволяют получить схемы стабилизаторов, использующие нелинейные элементы, вольтамперные характеристики которых содержат участки, где напряжение слабо зависит от тока. Такую характеристику имеет стабилитрон, работающий при обратном напряжении (рис.10.9,а).

Схема простейшего стабилизатора напряжения, называемого параметрическим, приведена на рис.5.12,б.

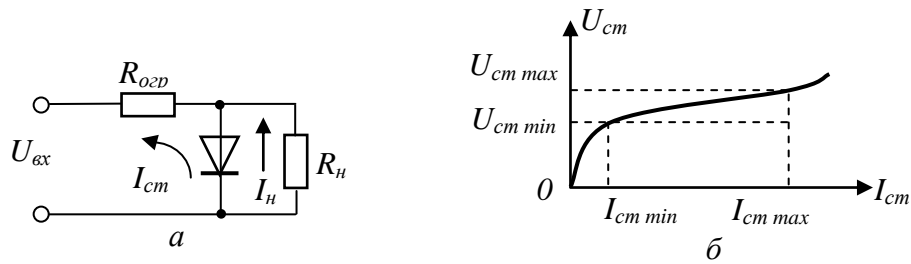


Рис.10.9. Параметрический стабилизатор напряжения на стабилитроне: а – схема ; б – характеристика

Свойства такого стабилизатора определяются в основном параметрами стабилитрона. Последний включают параллельно  $R_n$ . В неразветвленную часть схемы ставят ограничительный резистор  $R_{огр}$ . Тогда напряжение источника питания

$$U_{вх} = U_{см} + (I_{см} + I_n)R_n,$$

где  $U_{ст}$  – напряжение на нагрузке и параллельно подключенном к ней стабилитроне. Из-за нестабильностей входное напряжение изменяется и, следовательно, напряжение на стабилитроне и параллельно включенном  $R_n$  также изменится.

$$\Delta U_{вх} = \Delta U_{см} + \Delta U_n)R_{огр} = \Delta U_{см} + \left(\frac{\Delta U_{см}}{R_n} + \frac{\Delta U_{см}}{r_{диф}}\right)R_{огр},$$

где  $r_{диф}$  – дифференциальное сопротивление стабилитрона, величина которого для разных типов стабилитронов колеблется от десятых долей до сотен Ом.

Тогда

$$\Delta U_{см} = \frac{\Delta U_{вх}}{1 + \frac{R_{огр}}{R_{диф}} + \frac{R_{огр}}{R_n}}.$$

Если  $\frac{R_{огр}}{r_{диф}} \gg 1$ , то  $\Delta U_{см} \ll \Delta U_{вх}$  – напряжение на выходе схемы

изменяется значительно меньше, чем на входе стабилизатора.

### 10.4.2. Параметрические стабилизаторы тока

В параметрических стабилизаторах тока нелинейный элемент включают последовательно с нагрузочным устройством (рис.10.10,а).

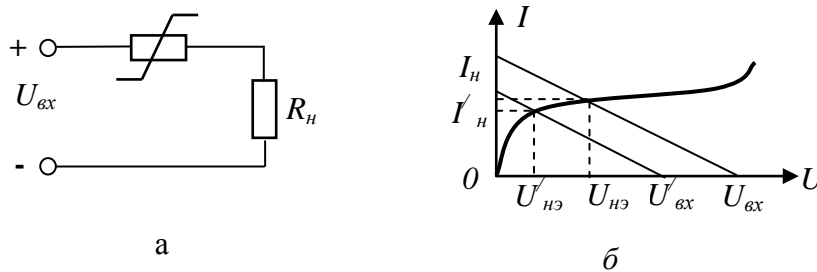


Рис.10.10. Параметрический стабилизатор тока: а – схема ; б – характеристика

В качестве нелинейного элемента применяют прибор, вольтамперная характеристика которого представлена на рис.10.10,б. При изменении напряжения на входе от  $U_{вх}$  до  $U'_{вх}$  напряжение на нелинейном элементе изменяется от  $U_{нэ}$  до  $U'_{нэ}$ , а нагрузочный ток  $I_n$ , являющийся током через нелинейный элемент, практически не изменяется.

В параметрических стабилизаторах тока в качестве нелинейных элементов используются биполярные и полевые транзисторы. В схеме стабилизатора тока на полевом транзисторе, представленном на рис. 10.11. значение стабилизируемого тока определяется резистором  $R_0$  от протекания тока  $I_c$  равно по абсолютной величине напряжению затвор-исток. Увеличение тока транзистора приводит к увеличению напряжения на затворе, в свою очередь вызывающему уменьшение тока транзистора и, следовательно, тока нагрузки.

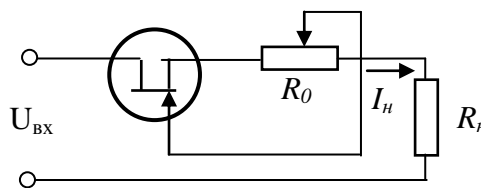


Рис.10.11. Параметрический стабилизатор тока на полевом транзисторе

## 10.5. Компенсационные стабилизаторы

### 10.5.1. Компенсационный стабилизатор напряжения

Эти сабилитроны являются системами автоматического регулирования, в которых благодаря наличию отрицательной обратной связи обеспечивается постоянство напряжения и тока нагрузке.

Любой компенсационный стабилизатор (рис.10.12) состоит из блоков сравнения, в который входят источник опорного напряжения (ИОН) и схема сравнения (СС), усилитель постоянного тока (УПТ) и регулировочный элемент (РЭ).

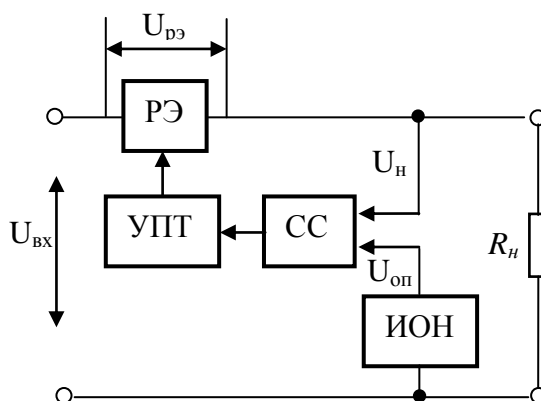


Рис.10.12. Структурная схема компенсационного стабилизатора напряжения: РЭ - регулирующий элемент; УПТ –усилитель постоянного тока; СС – схема сравнения; ИОН – источник опорного напряжения

Разностный сигнал рассогласования  $U_n - U_{оп}$ , формируемый ОС, поступает на вход усилителя постоянного тока, усиливается и воздействует на регулирующий элемент. При положительном сигнале рассогласования внутреннее сопротивление РЭ возрастает и падение напряжения на нем увеличивается. Так как РЭ и нагрузка включены последовательно, то при увеличении  $U_{рз}$  выходное напряжение уменьшается, стремясь к номинальному значению.

При отрицательном сигнале рассогласования наоборот внутреннее сопротивление РЭ и падение напряжения на нем уменьшаются, что приводит к возрастанию выходного напряжения.



Принципиальная схема компенсационного стабилизатора напряжения на транзисторах приведена на рис.10.13,а.

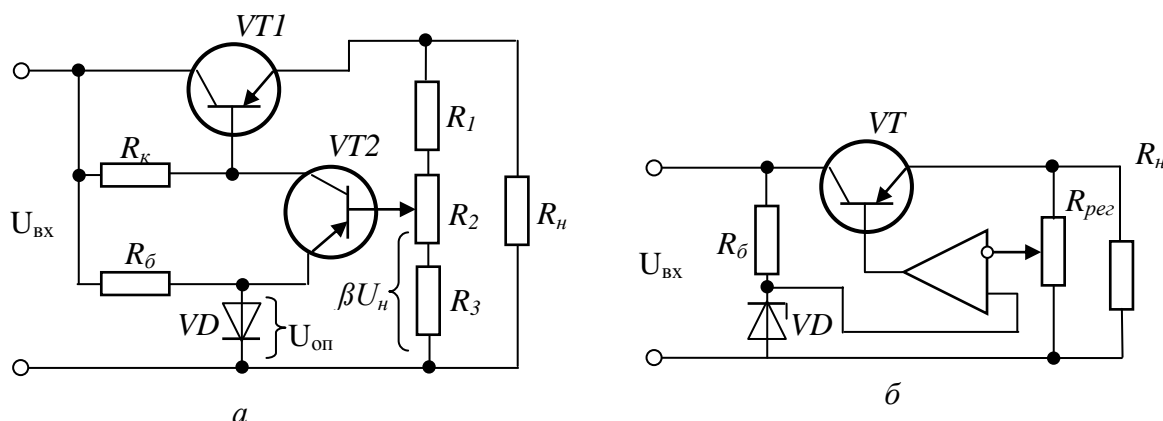


Рис.10.13. Схемы компенсационных стабилизаторов напряжения: а – на биполярных транзисторах; б – на ОУ

Источником опорного напряжения является параметрический стабилизатор, состоящий из стабилитрона VD и резистора  $R_6$ . Усилителем постоянного тока является усилитель на маломощном транзисторе VT2 и резистора  $R_k$ . В качестве регулирующего элемента используется новый транзистор VT1, В рассматриваемом компенсационном стабилитроне происходит непрерывное сравнение напряжения на нагрузочном резисторе  $U_n$  с опорным напряжением  $U_{оп}$ , создаваемым с помощью параметрического стабилизатора.

При увеличении входного напряжения стабилизатора напряжение  $U_n$  повышается, отклоняясь от номинального значения. Часть напряжения  $U_n$ , равная  $\beta U_n$  ( $\beta$  – коэффициенты деления резистивного делителя  $R_1, R_2, R_3$ ), являющаяся сигналом обратной связи, сравнивается с опорным напряжением  $U_{оп}$ . Так как опорное напряжение остается постоянным, напряжение между базой и эмиттером транзистора VT2 из-за увеличения напряжения  $\beta U_n$  увеличивается. Это приводит к увеличению напряжения между базой и коллектором транзистора VT1, что равносильно увеличению его сопротивления. Вследствие этого падения напряжения на транзисторе VT1 возрастает, благодаря чему напряжение  $U_n$  приобретает значение, близкое к номинальному.

При использовании операционного усилителя (рис.10.13,б) коэффициент стабилизации становится равным нескольким тысячам.

### 10.5.2. Компенсационные стабилизаторы тока

Работа схемы компенсационного стабилизатора тока (рис.10.14) отличается от работы стабилизатора напряжения тем, что переменный резистор  $R_{\text{рег}}$ , входящий в блок сравнения, включают последовательно с  $R_{\text{н}}$ .

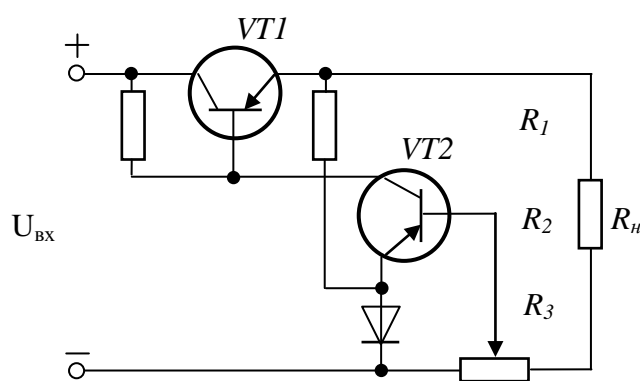


Рис.10.14. Схема компенсационного стабилизатора тока

Сигнал обратной связи, снимаемый с резистора  $R_{\text{рег}}$  и пропорциональный изменениям нагрузочного тока  $I_{\text{н}}$ , сравнивается с опорным напряжением  $U_{\text{оп}}$  и подается на вход УПТ на VT2. В остальном стабилизатор тока действует также как и компенсационный стабилизатор напряжения. Изменяя сопротивление  $R_{\text{рег}}$ , можно в некоторых пределах регулировать значение тока  $I_{\text{н}}$ .

К достоинствам компенсационных стабилизаторов постоянного тока и напряжения относятся: высокий коэффициент стабилизации ( $K > 10^3$ ); низкое внутреннее сопротивление ( $R_{\text{ст}} = 10^{-3} \div 10^{-4}$  Ом); практическая безинерционность.

Недостатки: коэффициент полезного действия не превышает  $0,5 \div 0,6$ ; большая сложность; значительная масса, габариты и стоимость стабилизатора.

## 10.6. Импульсные стабилизаторы напряжения

Недостатком компенсационных стабилизаторов является относительно низкий коэффициент полезного действия (не превышающий 60%). Применение импульсного режима работы регулирующего элемента (транзистора) позволяет повысить коэффициент полезного действия до 80% и уменьшить массу и габариты стабилизатора.

Принцип работы импульсных стабилизаторов напряжения (ИСН). Структурная схема ИСН приведена на рис.10.15,а. ИСН является устройством, в котором применяется отрицательная обратная связь, ослабляющая изменения выходного напряжения на периодическом подключении на время  $T_1$  нагрузки к источнику и ее отключении на время  $T - T_1$  (рис.10.15,б).

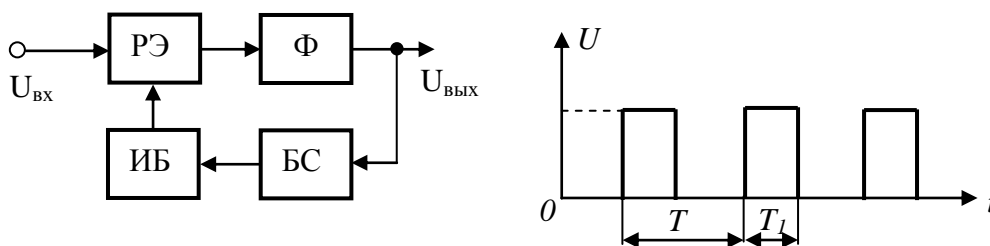


Рис. 10.15. Импульсные стабилизаторы напряжения:  
 а – структурная схема (РЭ) – регулирующий элемент;  
 Ф – фильтр; ИБ – импульсный блок; БС – блок сравнения;  
 б – временная диаграмма выходного напряжения

Если напряжение источника равно  $E$ , то постоянная составляющая напряжения на нагрузке

$$U_{\text{вых.0}} = \frac{ET_1}{T} = \frac{E}{Q} = ET_1 f.$$

Регулирующий элемент РЭ – транзистор работает в режиме ключа, т.е. он либо открыт, либо закрыт. Мощности потерь  $P_{\text{кп}}$  в таком режиме приближается к нулю. В открытом и закрытом состояниях транзистора падение напряжения на нем  $U_{\text{кэ}}$  и ток через него  $I_{\text{к}}$  близок к нулю. Следовательно, мощность  $P_{\text{к.п}} = U_{\text{кэ}} I_{\text{к}}$  также близка к нулю.

Работа регулирующего транзистора в режиме ключа дает возможность получить с выхода однополярные импульсы прямоугольной формы  $U_{кп}$  (рис.10.15,б). Для последующего преобразования таких импульсов в постоянное напряжение служит сглаживающий фильтр  $\Phi$  (рис.10.15,а). Регулирующий элемент и сглаживающий фильтр охвачены отрицательной обратной связью, которую осуществляет блок сравнения БС и импульсный блок ИБ. В блоке сравнения выходное напряжение сравнивается с эталонным (опорным) напряжением. Получающееся при этом разностное напряжение воздействует на импульсный блок, который вырабатывает импульсы разной длительности или частоты следования, управляющие работой регулирующего элемента. Изменение длительности импульсов или частоты их следования позволяет поддерживать выходное напряжение неизменным при изменениях как входного напряжения стабилизатора, так и нагрузочного тока.

#### **10.6.1. Стабилизаторы с широтно-импульсной модуляцией.**

Наибольшее распространение получили ИСН с широтно-импульсной модуляцией (ШИМ), когда изменяется длительность управляющих импульсов  $T_1$ , а частота их следования остается неизменной.

В стабилизаторах с широтно-импульсной модуляцией в импульсном блоке имеется генератор ГИ. Существует два вида стабилизаторов с ШИМ. В первом из них, структурная схема которого изображена на рис.10.16.а, частота генерируемых импульсов определяется элементами генератора импульсов ГИ, а длительность импульсов и пауза изменяется в зависимости от постоянного напряжения, подаваемого на ГИ с выхода блока сравнения БС.

В стабилизаторах второго типа (рис.10.16,а) генератором импульсов ГИ является генератор линейно-изменяющегося напряжения ГЛИН, у которого пилообразные импульсы  $U_2$  генерируются с постоянной частотой повторения.

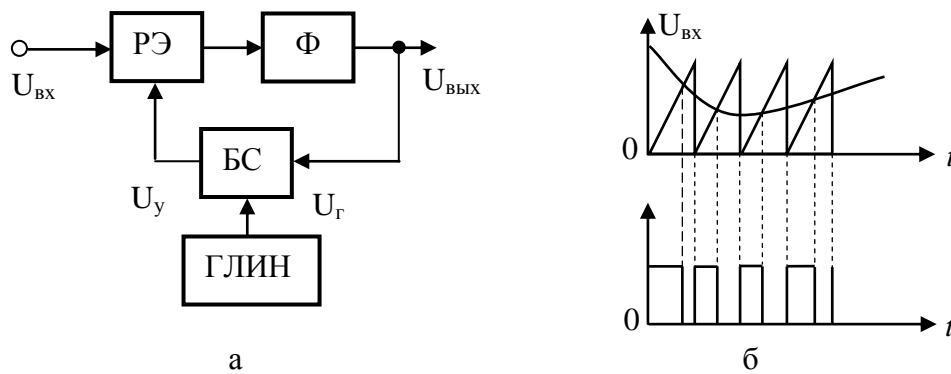


Рис.10.16. Импульсный стабилизатор напряжения с ШИМ:  
 а – структурная схема (ГЛИН – генератор линейно-изменяющегося напряжения); б – временные диаграммы, поясняющие работу стабилизатора

Выходные напряжения в блоке сравнения непрерывно сравниваются с линейно изменяющимся напряжением  $U_c(t)$  (рис.10.16,б). На основании этого сравнения формируются управляющие импульсы  $U_y$ , имеющие разную длительность при неизменной частоте повторения импульсов. Под воздействием управляющих импульсов регулирующий элемент РЭ в стабилизаторах с ШИМ переключается и в зависимости от длительности импульсов и пауз изменяется среднее значение напряжения на выходе фильтра, в результате чего обеспечивается постоянство выходного напряжения стабилизатора в заданных пределах.

### Широтно-импульсный модулятор.

Схема широтно-импульсного модулятора, формирующего периодическую последовательность импульсов, длительность которых пропорциональна уровню входного (модулирующего) напряжения показана на рис.10.17,а.

Простейший модулятор содержит импульсный генератор опорного напряжения ГЛИН, формирующего периодическую последовательность треугольных импульсов  $U_d$ , показанную на временной диаграмме (рис.10.17,б).

Импульсы подают на коммутатор, второй вход которого подключен к источнику входного модулирующего напряжения  $e$ . При этом на выходе компаратора формируется сигнал  $x = 1$  при условии  $e > U_d(t)$ . Триггер Шмидта устраняет «дребезг»  $x(t)$  при переходе разности  $e - U_d$  через ноль.

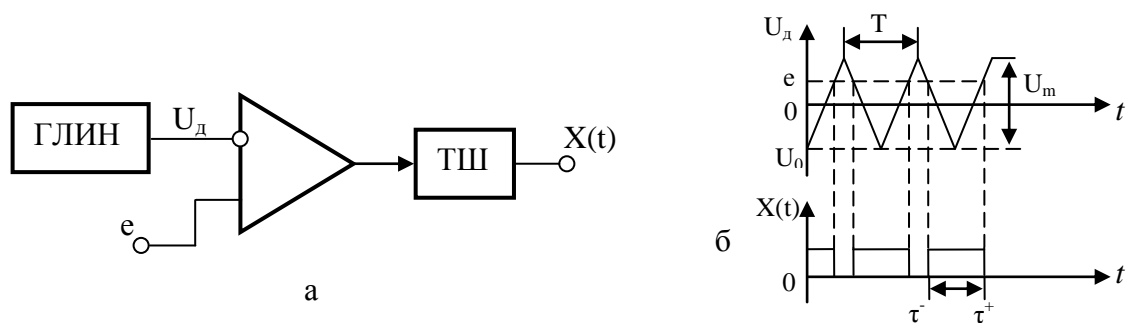


Рис. 10.17. Широтно-импульсный модулятор: а – структурная схема (ТШ-триггер Шмитта); б – временные диаграммы напряжений, поясняющие работу модулятора

### Контрольные вопросы

1. Чем определяются частота и коэффициент пульсаций напряжения на выходе выпрямителя?
2. Какие методы используются для управления уровнем выпрямленного напряжения?
3. Какими способами можно уменьшить коэффициент пульсаций выпрямителя?
4. Какие методы построения стабилизаторов позволяют повысить коэффициент полезного действия, уменьшить габариты, вес?

### **Часть 3. Логические элементы и цифровые устройства, использующие троичное счисление представления данных**

#### **Глава 11. Принципы формирования логических элементов и цифровых устройств троичного счисления**

Переход к цифровым методам и устройствам обработки, хранения и передачи видеoinформации, обусловленный, прежде всего, прогрессом в области создания новых технологий производства высокоэффективных изделий электронной техники, позволил значительно улучшить качество воспроизводимого изображения, увеличить число телевизионных программ, расширить диапазон исследований в области создания телевизоров и дисплеев нового поколения, включая трехмерные.

Однако наряду с повышением технико-экономических характеристик вышеупомянутых устройств существенно возрос и объем обрабатываемой и передаваемой ими информации. Например, для обработки и передачи трехмерных изображений, содержащих в глубину экрана сотни слайсов (слоев или кадров), использование традиционной двоичной системы счисления, становится малоэффективным. За последнее десятилетие для увеличения скорости вычислений и передачи информации, а также для цифровой и оптической реализации недвоичных арифметических операций применялись разные представления недвоичных чисел, таких как многозначные числа с фиксированной запятой, числа системы остаточных классов, избыточные числа и знаковые числа [1].

Анализ опубликованных материалов позволяет утверждать, что одно из направлений исследований на сегодняшний день – построение алгоритмов обработки данных на основе троичной логики, а также создание на их основе новых типов цифровых устройств, в особенности квантовых и оптических компьютеров.

### 11.1. Сравнение двоичной и троичной логики

Целесообразность применения троичной логики исходит из того, что согласно теории [2], наибольшей удельной плотностью записи информации обладает система счисления с основанием равным основанию натуральных логарифмов, то есть равным числу Эйлера ( $e = 2,71\dots$ ). В ней также приведено доказательство теоремы о представлении некоторого числа  $n$  минимальным набором символов в определенной системе счисления. С математической точки зрения доказательство сводится к поиску экстремума функции

$$f(x) = x^{\frac{n}{x}}, \quad (1)$$

где  $n$  представляется минимальным набором символов в определенной системе счисления.

На рисунке 11.1 приведен график этой функции для  $n = 8$ . Из него следует, что из целочисленных систем счисления наибольшей плотностью записи информации обладает троичная система счисления. Поэтому при одинаковом числе аппаратных элементов - инверторов, троичные ЭВМ (компьютеры) имеют большую удельную ёмкость памяти и большую удельную производительность процессора, чем двоичные компьютеры.

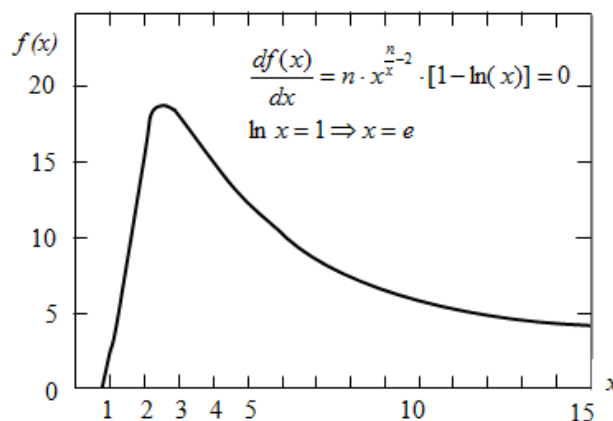


Рис.11.1. Функция, характеризующая компактность систем счисления по основанию  $x$



Так, опираясь на данное утверждение, ученым МГУ Н.П. Брусенцовым, в 60-х годах прошлого века был разработан первый в мире уникальный троичный компьютер [2- 4].

Основные характеристики, определяющие ценность троичного кода и трехзначной логики по сравнению с двоичной логикой [5]:

- Меньшее число разрядов, необходимое для представления числа.
- Троичная система счисления вмещает больший диапазон чисел.
- Экономичность системы счисления при ее практической реализации.

Преимущество троичного представления данных, по сравнению с двоичным по всем этим пунктам, можно показать на примере преобразования аналогового сигнала в цифровой код. Для этого рассмотрим и сравним динамический диапазон троичного и двоичного аналого-цифровых преобразователей (АЦП).

Интервал квантования определяется как:

$$\Delta_2 = \frac{U_{on}}{2^N - 1}, \Delta_3 = \frac{U_{on}}{3^N - 1} \quad (2)$$

Для двоичного и для троичного АЦП, соответственно, где  $U_{on}$  – опорное напряжение,  $N$  – разрядность АЦП. Мощности шума квантования соответственно для двоичного и для троичного АЦП имеют вид:

$$\bar{U}_2^2 = \frac{\Delta_2^2}{12}, \bar{U}_3^2 = \frac{\Delta_3^2}{12} \quad (3)$$

Среднеквадратичный шум троичного АЦП на основе формул (2) и (3) определяется как:

$$\sqrt{\bar{U}_3^2} = \frac{\Delta_2 * (2^N - 1)}{2 * \sqrt{3} * (3^N - 1)} \quad (4)$$

Максимальный сигнал для троичного АЦП есть:

$$U_{3max} = \frac{3^{N-1} * \Delta_3}{\sqrt{2}} = \frac{3^{N-1} * \Delta_3 * (2^N - 1)}{(3^N - 1)} \quad (5)$$

На основании соотношений (4) и (5) динамический диапазон троичного АЦП можно оценить, как:

$$DD_3 = 3^{N-1} * \sqrt{6} = 3^N * \sqrt{2/3},$$

что в логарифмической шкале записывается в виде:

$$DD_3 = 9,54 * N - 1,76 \text{ [дБ]} \quad (6)$$

Для динамического диапазона двоичного АЦП справедливо известное соотношение:

$$DD_2 = 6,02 * N - 1,76 \text{ [дБ]} \quad (7)$$

На основании (6) и (7) можно сделать вывод: для представления данных с одинаковой точностью требуется в 1,58 раза меньше троичных разрядов, чем двоичных. Снижение числа разрядов в устройстве последовательного действия за счет троичного представления данных приводит к уменьшению времени выполнения операций примерно в 1,5 раза по сравнению с двоичным кодированием, что, например, в случае матричного умножителя, обусловлено уменьшением числа последовательных сложений.

В таблице 1 приведены характеристики двоичных и троичных АЦП.

Минимальная единица информации в троичной системе счисления получила название трит. Значения трита могут быть различны, например: 0,1,2 либо -1,0,+1.

### Сравнение троичных и двоичных АЦП

Таблица 1.

	Разрядность	Количество дискретных значений	Диапазон входных значений	Разрешение по напряжению, В (шаг квантования)
Двоичное АЦП	8 бит	$2^8 = 256$ (0...255)	(0-1)В	0,039
Троичное АЦП	8 трит	$3^8 = 6561$ (0...6560)	(0-1)В	$1,5 \times 10^{-4}$
Троичное АЦП	5 трит	$3^5 = 243$ (0...242)	(0-1)В	0,043

Таким образом, троичное кодирование целесообразно использовать в системах приема и передачи информации, например, для кодирования

сигнала изображения, так как весь его спектр формируется с помощью трех основных базовых цветов – красного, зеленого и синего [6].

### **11.2. Цветовая кодировка троичных сигналов**

В 2000 году Джин Йи разработал архитектуру троичного оптического компьютера использующего интенсивность света и поляризацию для обозначения тритовых символов: 0, 1, 2. По сравнению с обычными в оптическом компьютере практически полное отсутствует затухание сигналов. Для передачи информации используется поляризация света. Горизонтальная поляризация используется для представления 2, вертикальная – 1, а отсутствие излучения – 0. Преобразования сигналов осуществляются с помощью модулятора и демодулятора [1].

Модулятор включает в себя два жидкокристаллических слоя ( $LC_1$  и  $LC_2$ ) и поляризатор (PO), как показано на рисунке 11.2. При подключении жидкокристаллическим слоям управляющего напряжения происходит изменение поляризации света на  $90^\circ$ . Предположим, что источник испускает свет с вертикальной поляризацией, который проходит через поляризатор. Таким образом, при отсутствии управляющего напряжения через модулятор проходит сигнал 1. Если на  $LC_2$  подать управляющее напряжение, то на выходе модулятора будет сигнал 2. Если управляющее напряжение подается на  $LC_1$ , то на выходе модулятора будет наблюдаться отсутствие света, то есть сигнал 0 [1].

Демодулятор состоит из призмы Волластона и двух чувствительных элементов  $SE_1$  и  $SE_2$  (см. Рисунок 11.3).

При подаче на приемник сигнал с вертикальной поляризацией проходит по пути 1 и зажигает элемент  $SE_1$ . Сигнал с горизонтальной поляризацией, пройдя путь 2, зажигает элемент  $SE_2$ . Таким образом, активный элемент  $SE_1$  свидетельствует о получении сигнала 1, а  $SE_2$  – сигнала 2. Если оба элемента не активны, то получен сигнал 0.

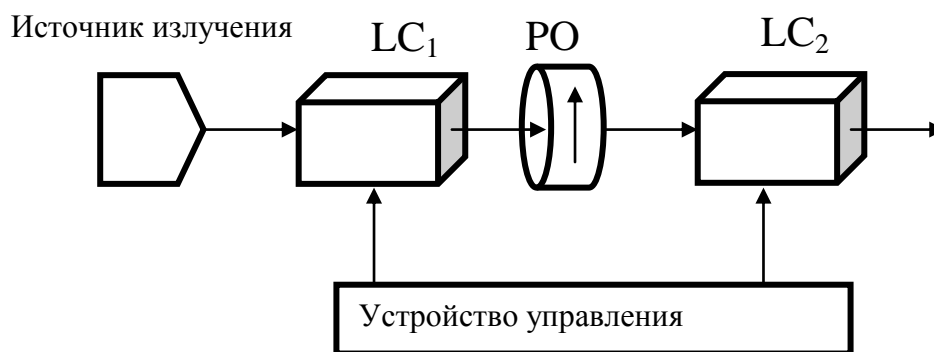


Рис.11. 2. Модулятор троичного оптического компьютера

На основе вышеописанных исследований была разработана еще одна модель троичного оптического компьютера – троичный оптический процессор [7]. Он представляет собой новый тип компьютера, который использует три базовых световых состояния (отсутствие света и два типа поляризованного светового излучения с ортогональной поляризацией) для передачи информации и использует изменение этих состояний для выполнения логических операций.

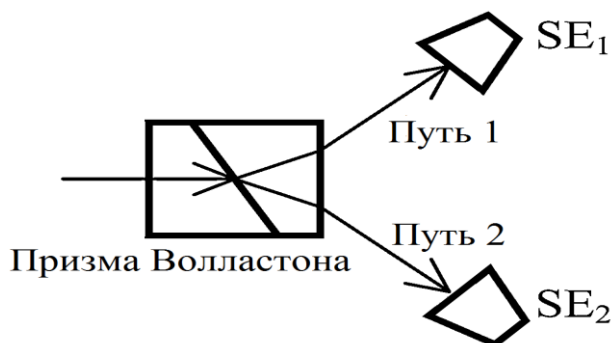


Рис.11. 3. - Демодулятор троичного оптического компьютера

Выполнение арифметических операций реализовано на основе системы  $\{-1, 0, 1\}$  со старшим значимым разрядом. Вертикально поляризованный свет обозначает 1, горизонтально поляризованный – -1, а отсутствие излучения – 0 [8, 9]. Троичный оптический процессор выполнен из 2-х мерной световой решетки, кодера, вычислителя и декодера. Кодер выполнен из двух поляризующих и двух жидкокристаллических слоев, вычислитель – из двух поляризаторов и жидкокристаллического слоя (белым цветом отмечен вертикальный поляризатор, а черным – горизонтальный). Все три

компонента выполнены из плотно подогнанных друг к другу слоев одинакового размера [10, 11].

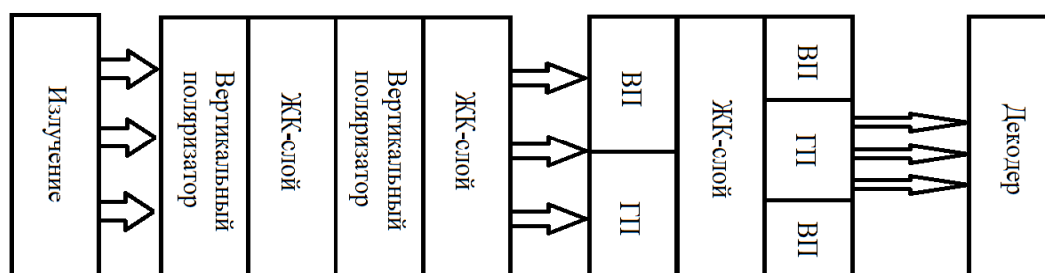


Рис.11. 4. Трюичный оптический процессор

В связи с этим авторами данной работы была предложена еще одна возможная реализация трюичной логики на оптических элементах. В качестве источника формирования цвета используется светоизлучающий диод, поэтому используется цветовая кодировка трюичных символов. Базовыми компонентами такой модели являются три цвета излучений - красный, зеленый, синий. Каждому базовому цвету присваивается соответствующий трюичный символ, например, красному – (1), зеленому – (0), синему (-1) (Таблица 2).

Основой трюичных элементов, использующих такую кодировку является многоканальный объемный органический светодиод (воксел) [12]. Особенности его конструкции позволяют реализовать ряд преимуществ при разработке трюичных элементов. Во-первых, за счет многоканальности один воксел может выполнять несколько трюичных операций одновременно.

Вариант кодировки цветов с помощью трюичной логики

Таблица 2

Цвет	Обозначение	Кодировка
Синий	B	0
Зеленый	G	1
Красный	R	2

Во-вторых, результат уже выполненной троичной операции после обработки фотодетекторами может поступать в виде напряжения на аноды других сегментов того же воксела. За счет этого для реализации последовательности операций нам понадобится всего лишь один излучающий элемент. Рассмотрим это на примере реализации простейших логических операций. Рассмотрим таблицы истинности логических операций «И» (Таблица 3), «ИЛИ» (Таблица 4) и НЕ (Таблица 5), операции выбора и модификации (Таблица 6, Таблица 7).

Таблица 3. Таблица истинности для троичного логического умножения

$X \wedge Y$	<b>0</b>	<b>1</b>	<b>2</b>
<b>0</b>	0	0	0
<b>1</b>	0	1	1
<b>2</b>	0	1	2

Таблица 4. Таблица истинности для троичного логического сложения

$X \vee Y$	<b>0</b>	<b>1</b>	<b>2</b>
<b>0</b>	0	1	2
<b>1</b>	1	1	2
<b>2</b>	2	2	2

Таблица 5. Таблица истинности для логического отрицания

<b>X</b>	$\text{NOT}^0 X$	$\text{NOT}^1 X$	$\text{NOT}^2 X$
<b>0</b>	0	2	1
<b>1</b>	2	1	0
<b>2</b>	1	0	2

Таблица 6. Таблица истинности для операции выбора

<b>X</b>	$S^0 X$	$S^1 X$	$S^2 X$
<b>0</b>	2	0	0
<b>1</b>	0	2	0
<b>2</b>	0	0	2

Таблица 7. Таблица истинности для операции модификации

<b>X</b>	<b>INCX</b>	<b>DECX</b>
<b>0</b>	1	2
<b>1</b>	2	0
<b>2</b>	0	1

Если сопоставить результаты выполнения логической функции «И» с цветовой кодировкой сигналов, то можно заметить, что в результате логического умножения двух сигналов получается сигнал, которому соответствует цвет с меньшей длиной волны. Таким образом, троичный элемент, выполняющий операцию «И» будет включать в себя два RGB-канала ОМОСИД, на которые будут поступать значения аргументов, еще один канал для вывода результатов, фотодетекторы R1, R2, G1, G2, B1, B2, а также 4 оптических переключателя (см. рисунок 11.5). На сегменты многоканального светодиода приходят сигналы, которые проходят через оптические переключатели, а затем попадают на соответствующие фотодетекторы. Управляющие сигналы на оптические переключатели поступают от соответствующих сегментов ОМОСИД. Переключатели 1 и 2 управляются сигналами от сегментов G и B канала B, а переключатели 3, 4 – от фотодетекторов G и B канала A. Если хотя бы один из аргументов соответствует синему цвету, то сигнал сразу поступает на анод синего сегмента выходного канала и одновременно блокирует сигналы G и R другого канала с помощью переключателей 1 и 2. Когда ни один из аргументов не соответствует синему цвету, то в случае соответствия одного из аргументов зеленому цвету, он проходит на фотодетектор G1 или G2 и блокирует сигнал красного цвет с помощью переключателей 2 или 4. Например, пусть на канал A излучает свет с длиной волны соответствующей зеленому цвету, а канал B – красный. Тогда сигнал с канала A попадает на детектор G1, а также запирает переключатель 4 и препятствует прохождению красного сигнала с канала B. Так как от фотодетектора R2 ничего не

поступает, то сигнал от G1 попадает на выходной канал. Это и будет результатом выполнения операции логического умножения.

В результате логического сложения получается сигнал, которому соответствует цвет большей длины волны, поэтому по принципу действия элемент «ИЛИ» не будет отличаться от элемента «И», изменится только функциональная схема, в которой поменяются местами части, обрабатывающие красное и синее излучение (см. рисунок 11.6).

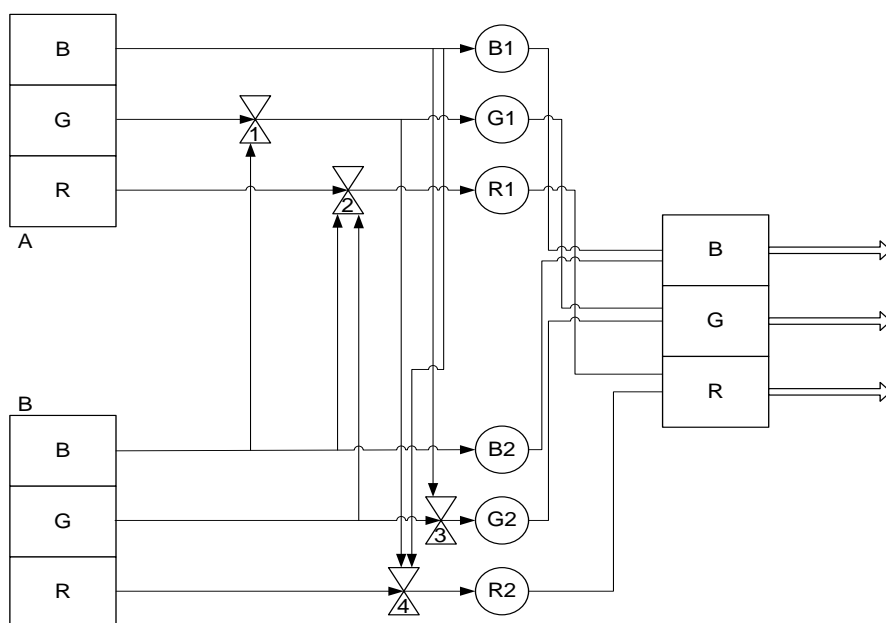


Рис. 11. 5. Функциональная схема логического троичного элемента «И» на основе многоканального RGB-воксела

При реализации функции «НЕ» следует учитывать, что существует три варианта функции троичной инверсии, в каждом из которых одно из состояний не претерпевает никаких изменений. Таким образом, инвертирующий элемент состоит из входного и выходного RGB-каналов и 3 фотодетекторов R2, G2, B2. Тот сигнал, который не инвертируется, сразу попадает на выходной канал. На один из сегментов будут поступать обрабатываемые сигналы. То состояние, которое не инвертируется сразу же доступно для дальнейшей обработки.

Инвертируемые сигналы попадают на соответствующие фотодатчики, затем преобразуются в электрические импульсы и подаются на каналы



другого сегмента, которые соответствуют уже инвертированным состояниям.  
 Например, пусть состояние 0 (В) не инвертируется.

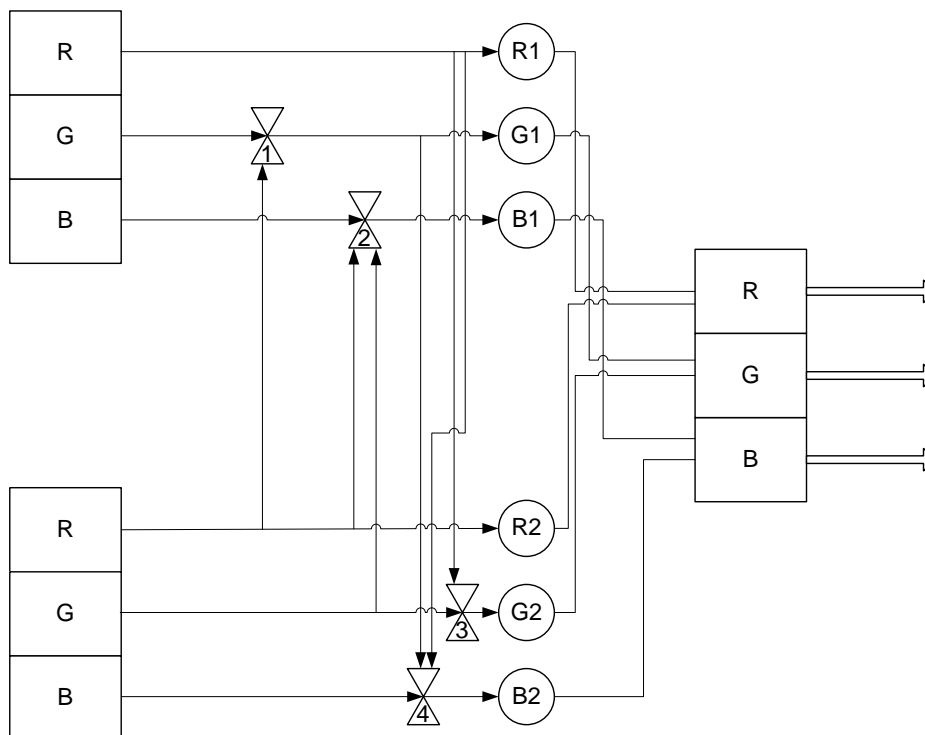


Рис.11. 6. Функциональная схема логического троичного элемента «ИЛИ» на основе многоканального RGB-воксела

Сигнал, соответствующий состоянию 1 (G) после фотодетектора попадает на сегмент R, а сигнал 2 – на сегмент G (см. рисунок 11.7).

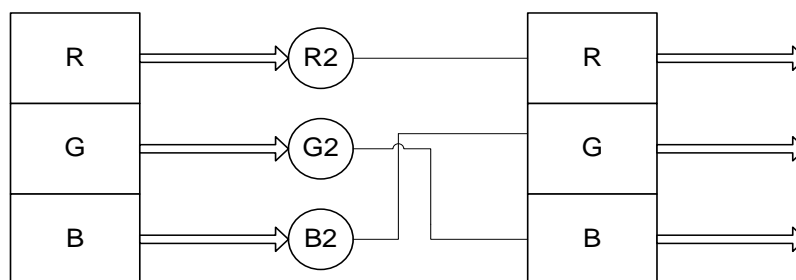


Рис.11. 7. Функциональная схема логического троичного элемента «НЕ» на основе многоканального RGB-воксела

Элемент, реализующий функцию выбора, состоит из входного RGB-канала, выходного R-сегмента и трех оптических переключателей (см. рисунок 11. 8). С помощью оптических переключателей на выходной сегмент попадает только то значение сигнала, которое необходимо выбрать. То есть,

если реализуется функция выбора  $S^0X$ , то контрольный сигнал подается только на переключатель 3.

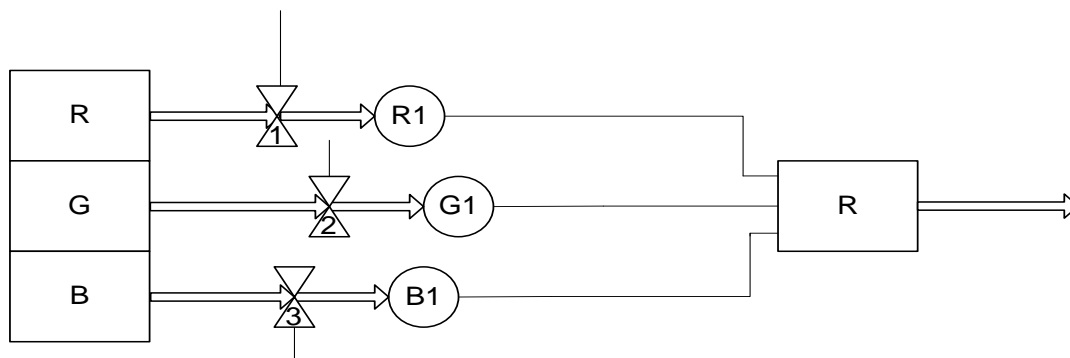


Рис.11.8. Функциональная схема логического троичного элемента «НЕ» на основе многоканального RGB-воксела

Элемент модификации (циклического отрицания) состоит из 3 светофильтров, входного и выходного RGB-каналов. Каждый канал сегмента, соответствующего преобразуемым сигналам соединяется через фотодетектор с теми каналами второго сегмента, которые соответствуют уже измененным сигналам (см. рисунок 11.9).

От простых элементов перейдем к более сложным. В обоих рассмотренных выше примерах оптической реализации троичной логики были рассмотрены троичные сумматоры на оптических элементах. Попробуем реализовать троичный сумматор на основе ОМОСИД и сравнить его конструкцию и эффективность с аналогами. Таблица истинности для операции сложения представлена ниже (Таблица 8).

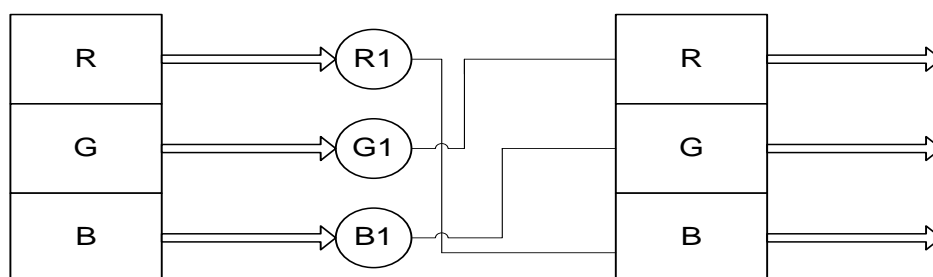


Рис.11.9. Функциональная схема логического троичного элемента модификации (циклического отрицания) на основе многоканального RGB-воксела

На рисунке 10 представлен троичный оптический сумматор, предложенный Джином Йи. Он работает по следующей схеме: когда сигнал, который приходит на вход  $a$  нулевой, т.е.  $a=0$ , тогда сигнал  $b$  проходит через LC2 и  $c$ . Таким образом, мы имеем:  $d=b$  (0, 1, 2) и  $c=0$ . Соответственно, когда  $b=0$ , то  $d=a$  (0, 1, 2) и  $c=0$ .

Таблица истинности для операции сложения (в троичном виде и с примененной цветовой кодировкой)

Таблица 8.

<b>a</b>	<b>b</b>	<b>d</b>	<b>c</b>	<b>a</b>	<b>b</b>	<b>d</b>	<b>c</b>
0	0	0	0	B	B	B	B
0	1	1	0	B	G	G	B
0	2	2	0	B	R	R	B
1	0	1	0	G	B	G	B
1	1	2	0	G	G	R	B
1	2	0	1	G	R	B	G
2	0	2	0	R	B	R	B
2	1	0	1	R	G	B	G
2	2	1	1	R	R	G	G

Если  $a=1$ , то вертикально поляризованный свет проходит через  $v1$  и LC3 и подает контрольный сигнал на  $k2$ , препятствуя попаданию сигнала  $c$  входа  $b$  на выход  $d$ . Когда  $b=1$ , то вертикально поляризованный свет проходит через  $v2$  и посылает контрольный сигнал на LC1, что приводит к изменению поляризации проходящего через LC1 света. Сигнал  $a$  изменит

свою поляризацию на горизонтальную, и на выходе  $d$  появится сигнал соответствующий значению  $d=2$ . При этом сигнал  $a$  не пройдет через горизонтальный поляриметр  $h4$ , следовательно,  $c=0$ .

Если  $b=2$ , то на переключатели  $k1$  и  $k2$  приходят контрольные сигналы, что препятствует прохождению сигналов на выход  $d$  ( $d=0$ ). В то же время на

LC3 и LC4 приходят управляющие сигналы с входа  $b$ , и при прохождении через них сигнал  $a$  дважды меняет свою поляризацию, возвращаясь к вертикальной. Таким образом, состояние выхода  $c=1$  возможно только при подачи на входы сигналов  $d=2$  и  $a=1$  [1].

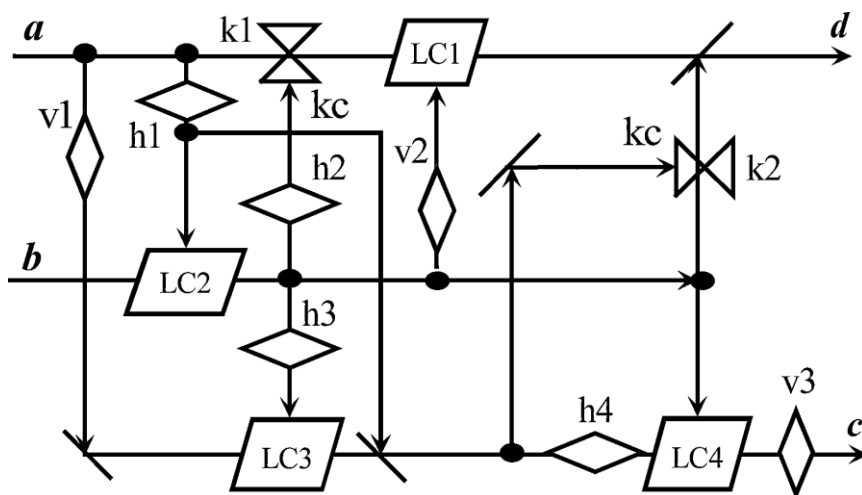


Рис.11.9. Троичный оптический сумматор Джина Йи

Рассмотрим сумматор на основе ОМОСИД. Для удобства будем рассматривать результат суммирования и результат переноса в следующий разряд независимо друг от друга. Рассмотрим сначала схему переноса в следующий разряд (Рисунок 11.11). Из Таблицы 8 видно, что только в трех наборах аргументов  $c$  принимает значение, отличное от 0. Таким образом, часть сумматора, отвечающая за перенос значения в следующий разряд, будет состоять из фотоэлементов R1, G1, B1, G2, B2а также оптических переключателей 1, 2 и 3. В случае, если хотя бы один из входных аргументов соответствует синему цвету, то сигнал после прохождения через фотодетектор подается на синий сегмент выходного канала. Когда оба аргумента равны 1, то один из сигналов активирует переключатель 3, а второй сначала попадает на фотодетектор G2, а потом – на синий сегмент выходного канала. Если реализуется один из трех наборов аргументов, при которых выходное значение отлично от 0, то в зависимости от набора активируется переключатель 1(активируется сигналами  $a=1$  или  $a=2$ ) или переключатель 2(активируется сигналом  $a=2$ ). Если активирован переключатель 1, то сигнал

$b=2$  попадает на фотодетектор R1, а потом на зеленый сегмент выходного канала. Если активен переключатель 2, то сигнал  $b=1$  попадает на детектор G1, а потом на зеленый сегмент выходного канала.

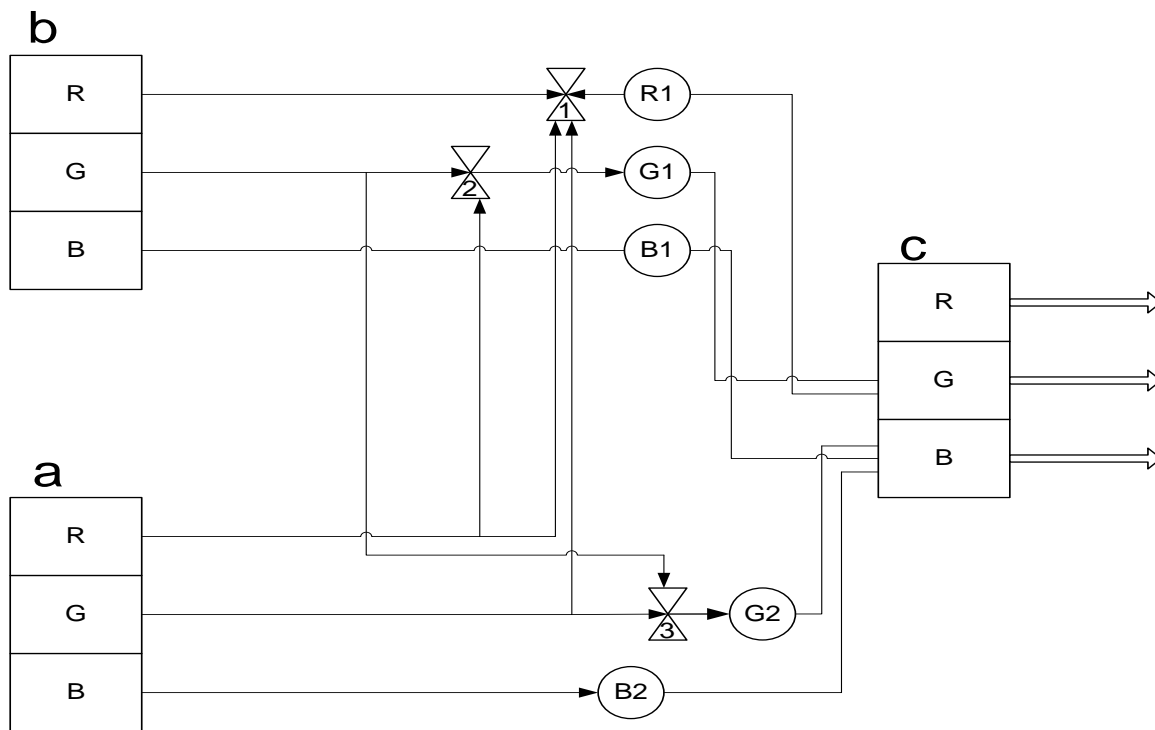


Рис.11. 10. Модуль переноса в следующий разряд троичного оптического сумматора

### 11.3. Троичная запоминающая ячейка — триттер

В двоичной логике нашли применение триггерные схемы с различной структурной организацией. Естественно предположить, что и в троичной логике должна существовать аналогичная запоминающая ячейка (трёхстабильный элемент хранения). Троичная запоминающая ячейка называется триттером. Данный неологизм вводится для краткости и удобства обозначения трёхстабильных элементов хранения [12-13]. Таким образом, триттер — это элемент хранения тритта.

Для примера рассматривается следующая структура триттера (Рис.3), построенная на троичных элементах, реализующих функцию Вебба [13]. Функция Вебба (называемая также Стрелкой Пирса) эквивалентна операции «ИЛИ-НЕ».

Причем в качестве логического «НЕ» рассматривается модификация, а именно инкремент. (Таблица 7) [12].

Из приведенных выше таблиц истинности троичных функций «ИЛИ» и «НЕ» можно получить соответствующую таблицу для функции Вебба (Таблица 8).

Триттер имеет три входа R, M, S, и три выхода 1Q, 2Q, 3Q, состояния которых определяются соответствующим входом и функцией циклического отрицания. По входу R (reset) триттер устанавливается в состояние 012; по входу S (set) триттер устанавливается в состояние 120; по входу M (minus) триттер устанавливается в состояние 201.

### Функция Вебба

Таблица 8.

<b>a</b>	<b>b</b>	<b>a↓b</b>
0	0	1
0	1	2
0	2	0
1	0	2
1	1	2
1	2	0
2	0	0
2	1	0
2	2	0

Переход из любого текущего состояния в одно из двух других состояний реализуется изменением  $0 \rightarrow 2$  одного из входов.

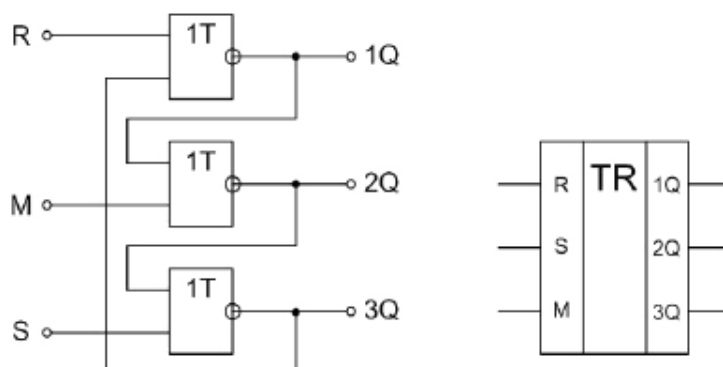


Рис. 11.11. Логическая схема триттера и его условное обозначение

Все переходы триггера представлены в таблице 9.

. Таблица переходов триггера

Таблица 9

Время t						Время t+1			Примечание
R	M	S	1Q	2Q	3Q	1Q	2Q	3Q	
0	0	0	0	1	2	0	1	2	Хранение
1	0	0	0	1	2	0	1	2	Хранение
2	0	0	0	1	2	0	1	2	Хранение
0	0	1	0	1	2	0	1	2	Хранение
1	0	1	0	1	2	0	1	2	Хранение
2	0	1	0	1	2	0	1	2	Хранение
0	0	2	0	1	2	1	2	0	Уст. в 1
0	1	0	0	1	2	1	2	0	Уст. в 1
0	2	0	0	1	2	2	0	1	Уст. в 2
0	0	0	1	2	0	1	2	0	Хранение
0	1	0	1	2	0	1	2	0	Хранение
0	0	1	1	2	0	1	2	0	Хранение
0	1	1	1	2	0	1	2	0	Хранение
0	0	2	1	2	0	1	2	0	Хранение
0	1	2	1	2	0	1	2	0	Хранение
2	0	0	1	2	0	0	1	2	Уст. в 0
0	2	0	1	2	0	2	0	1	Уст. в 2
1	0	0	1	2	0	2	0	1	Уст. в 2
0	0	0	2	0	1	2	0	1	Хранение
0	1	0	2	0	1	2	0	1	Хранение
0	2	0	2	0	1	2	0	1	Хранение
1	0	0	2	0	1	2	0	1	Хранение
1	1	0	2	0	1	2	0	1	Хранение
1	2	0	2	0	1	2	0	1	Хранение
0	0	1	2	0	1	0	1	2	Уст. в 0
2	0	0	2	0	1	0	1	2	Уст. в 0
0	0	2	2	0	1	1	2	0	Уст. в 1

#### 11.4. Триггер на основе трехсегментного RGB ОМОСИД-устройства

Рассмотрим теперь возможное устройство троичного триггера на основе ОМОСИД. За основу возьмем переходы и состояния триггера,

описанного выше. За основные состояния также принимаются 012, 120 и 201. В качестве троичного триггера будет использоваться трехсегментный ОМОСИД или воксел, состоящий из 3-х RGB-секций и система светофильтров (рисунок 13). Эквивалентная схема устройства представлена на рисунке 14.

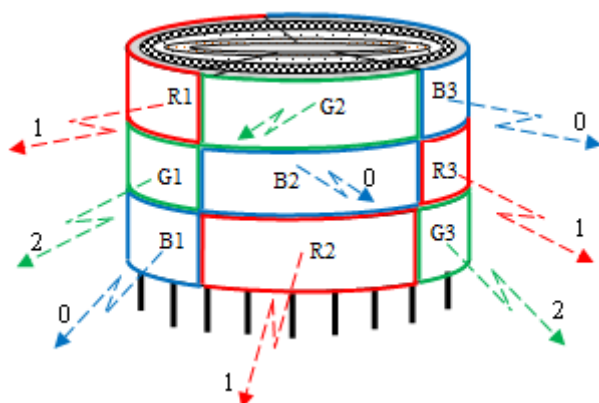


Рис.11. 12. Трехсегментный воксел из 3-х RGB-секций

К каждой секции относится группа светофильтров, настроенных на красный, синий и зеленые цвета. Одна секция воксела соответствует одному выходному состоянию, т.е. имеются три RGB-секции, в которых сегменты расположены в такой последовательности, чтобы цветовая кодировка сегмента соответствовала одному из выходных состояний (Таблица 10).

#### Соответствие RGB-секций выходным состояниям

Таблица 10

Порядок расположения секций	Выходное состояние
BGR	012
GRB	120
RBG	201

На секции одновременно подаются данные. Переключение состояния происходит при приходе сигнала нужного уровня на красный сегмент соответствующей секции, от воксела сигнал приходит на красный светофильтр, который, в свою очередь, активирует остальные связанные с



ним светофильтры. Они считывают состояние с активной в данный момент времени секции. На остальные секции в свою очередь тоже могут приходиться данные, но только сигнал заданного уровня на красном сегменте секции сделает ее активной. Триггер сохраняет свое состояние до тех пор, пока на красный сегмент какой-либо другой секции не приходит новый сигнал. За начальное состояние по умолчанию принимается состояние 012.

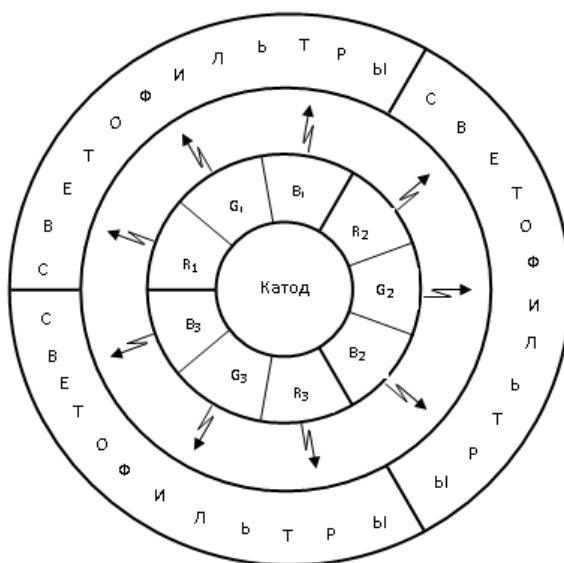


Рис. 1113. Эквивалентная схема формирования RGB потоков для троичного счисления на основе трехсегментного ОМОСИД-устройства, состоящего из трех RGB-секций

Считывание информации с активного сегмента происходит в порядке, соответствующем троичному обозначению состояния. Например, если активен сегмент, отвечающий за состояние 012, то данные считываются сначала с синего, потом с зеленого, а потом с красного сегмента.

Принципиальная схема троичного триггера на основе ОМОСИД представлена на рисунке 15.

Достоинством такой схемы построения триттера является более простая конструкция, а также потенциальная гибкость конструкции за счет использования возможностей воксела (например, сокращение числа G и B-сегментов за счет использования электромеханического вращения воксела и следующее за этим сокращение системы светофильтров).

Недостатком данной модели троичного триттера является более сложная система обработки поступившей от него информации, так как приемному устройству необходимо будет знать алгоритмы приема в зависимости от тех светофильтров, с которых приходят данные.

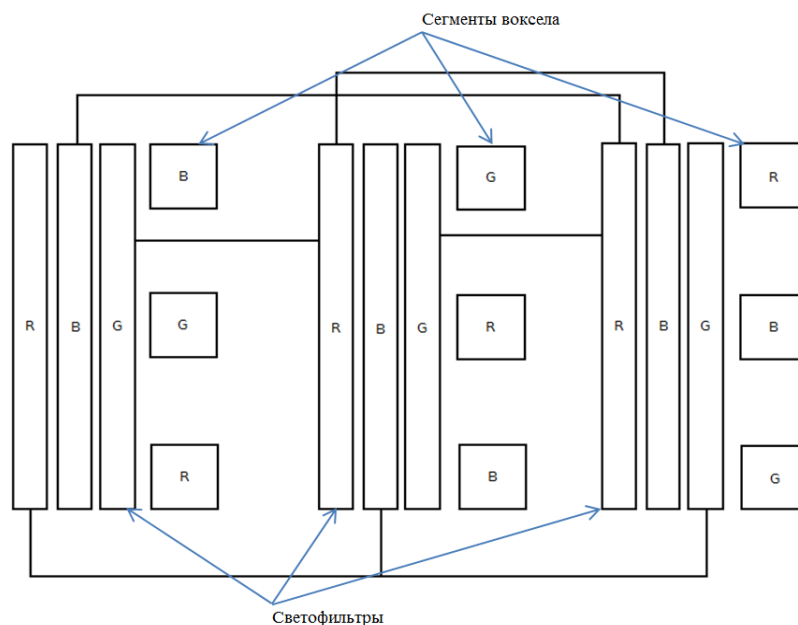


Рис. 11.14. Принципиальная схема троичного триттера на основе ОМОСИД

Анализ архитектуры троичного оптического компьютера использующего интенсивность света и поляризацию для обозначения тритовых символов: 0, 1, 2, показал, что по сравнению с известными в нем практически полностью отсутствует затухание сигналов и предложено устройство троичного триггера на основе объемного многоканального органического светоизлучающего RGB диода, позволяющего выполнять несколько троичных операций одновременно.

## Литература

1. Проектирование радиоэлектронных устройств на интегральных микросхемах/Под ред. К. Я.Шаца. - М.: Советское радио, 1976.-312 с.
2. Ерофеев Ю. Н. Импульсная техника.-М.: Высшая школа, 1984.-391 с.
3. Схемотехника ЭВМ/Под ред. Г. Н. Соловьева. – М.: Высшая школа, 1985. – 391 с.
4. Ю. В. Новиков Основы цифровой схемотехники. - М.: Мир, 2001. 379 с.: ил
5. Хоровиц П., Хилл У. Искусство схемотехники. Пер. с англ. 6-е изд. перераб. - М.: Мир, 2001. 704 с.: ил
6. В. Б. Бродин, А. В. Калинин Системы на микроконтроллерах и БИС программируемой логики.- М.: ЭКОМ, 2002. 400 с.: ил
7. Е. П. Угрюмов Цифровая схемотехника. Учебное пособие Спб.: ВHV-Санкт-Петербург, 2004. 782 с.: ил
8. И. М. Мышляева Цифровая схемотехника. Учебник.- М.: Академия, 2005. 400 с.: ил
9. Ю. Ф. Опадчий, О. П. Глудкин, А. И. Гуров Аналоговая и цифровая электроника. Полный курс. Учебник для вузов.- М.: Горячая линия Телеком, Радио и связь, 2005. 768 с.: ил
10. В.Т. Фролкин, П.Н. Попов Импульсные и цифровые устройства . – М.: Радио и связь, 1992.
11. Г.В. Королев Электронные устройства автоматики. – М.: Высшая школа, 1991.
12. В.С.Гутников Интегральная электроника в измерительных устройствах. – Л.: Атомиздат, 1988.
13. Й. Янсен Курс цифровой электроники. – М.: Мир, 1987.

Цифровые и импульсные устройства авиационных радиоэлектронных систем/Под ред. В.А. Милитицкого. – РВВФИУ, 1987.

14. А. Г. Алексеенко, И.И. Шагурин Микр схемотехника. –М.:Радио и связь, 1982.

15. М. И.Роговой Импульсные и цифровые устройства. – ТЕВАИУ, 1983.

16. JinYi, Он Huacan, LuYangtian, “Троичная Оптическая Архитектура ЭВМ”, Physica Написанный. Издание T118, 98-101, 2005

17. Использование троичного кода и трёхзначной логики в цифровых машинах: научный отчет / Н.П. Брусенцов — М.: Изд-во ВЦ МГУ, 1969. — 27 с. — №24-ВТ.

18. Фомин С. В. Системы счисления / С.В. Фомин. — М.: Издательство «Наука», 1987. — 52 с.

19. Малая цифровая вычислительная машина «Сетунь» / Н.П. Брусенцов, С.П. Маслов, В.П. Розин, А.М. Тишулина. — М.: Издательство Моск. ун-та, 1965. — 145 с.

20. Кушнеров А. Троичная цифровая техника. Ретроспектива и современность // Университет им. Бен-Гуриона, Беэр-Шева. — 2005. — С. 1–

21. — Режим доступа: <http://314159.ru/kushnerov/kushnerov1.pdf>

22. Новаковский С.В. Цвет в цветном телевидении. – Радио и связь, 1988 – с.77-84.

23. Алза А. Аль-Саффар, Кэбила К. Тэбит, новый дополнительный принцип разработки, основанный на троичном оптическом процессоре, Международном журнале Авансов в Разработке & Технологии, май 2014.

22. Х. Ван, П. Дж. Джи, Л. Мей, З. Шен, и О. Шан, " Несут Матричное вектором Умножение на Динамически Переконфигурируемой Оптической Платформе", Прикладная Оптика, 49 (12) 2352-2362, 20-ого апреля 2010.

23. И. Шен, П. Ху, и Х. Ван, "Вычислительная Сложность Арифметики, Основанной на Троичном Оптическом Компьютере", Журнал информации & Вычислительной Науки, 8 (5) 850-857, 2011.

24. Л. Янпинг, П. Дж. Джи, К. Юэнюэн, и Х. Хуи, "Новое Несет без Модель Змеи для Троичного Оптического Компьютера", 10-ый Международный Симпозиум по Распределенному Вычислению и Применениям к Бизнесу, Разработке и Науке, 6. 64-68, 2011.

25. Н. Он, Дж. Пенг, И. Луи, Х. Ван, и К. Песни, "Исследование и Дизайн Змеи MSD Троичного Оптического Компьютера", Спрингер - V ICAIC-228, 413-420, 2011.

26. Кошелев А.Г., Бобрешов А.М., Золотухин Е.В. Органический светоизлучающий диод. Патент RU № 2548603. Оpubл. 24.04. 2015, Бюл. № 11.

27. Данилов В.В. Троичная запоминающая ячейка и троичные триггеры / В.В. Данилов, Б.Н. Ковригин, Е.В. Чепин. — Москва: ТРУДЫ МФТИ. — Том 2, № 3, 2010. — 220 с.

28. Галалу В.Г. ПКН для троичной системы счисления // Материалы Международной научной конференции “Оптимальные методы решения научных и практических задач”. – 2004. – Ч. 3. – С. 11-16.